



## 薄型パッケージの開発



村上 元 (株式会社 元天 代表取締役)

### 1. はじめに

筆者は1967年に大学を卒業後、日立製作所で半導体事業を推進していた武蔵工場に配属になり、ICパッケージの設計開発業務を担当させて頂いた。入社当時は、IC開発が始まったばかりであったが、その後ICの集積度が高まるに従い、多種多様なIC・LSI用パッケージの設計開発が生涯の仕事となった。

今回、半導体シニア協会殿から「薄型パッケージの開発」をテーマとして、投稿するようにとのご指示があり、薄型パッケージの開発経緯について記述することにする。

### 2. 黎明期のICパッケージ

初期のトランジスタパッケージは、TO (Transistor Outline) 型と呼ぶキャンタイプのパッケージでトランジスタは3端子のTO-3型であり、ICはTO型で10端子のTO-10型であった。半導体素子載せる金属板に、ガラスビーズを介し金属端子(リードピン)を挿し、酸化雰囲気電気炉でガラスを熔融させたステムと呼ぶパッケージを用いていた。このステムは、半導体素子をダイボンドやワイヤーボンド接合し易いよう金メッキする。金メッキされたステムにICを金箔を挟んでダイボンドし、ICのボンディングパッドとリードピンの先端とを金極細線でワイヤーボンディングする。その後、露点管理雰囲気中で金属キャップをリングウエルドして封止を完成させる。キャンタイプは、端子数が多くなるとガラスの絶縁性を確保することが難しく、ガラス材質の選択に苦労させられていた。

日立製作所のIC技術は米国RCA社から技術導入してIC開発が進められていた。IC製造技術の一つにセラミック多層配線パッケージ技術があった。筆者には、RCA社から技術導入した技術仕様書を基に、14ピン、16ピンのFPC(Flat Package Ceramic)、DILC (Dual In-Line Package Ceramic) の設計開

発をすることが命じられた。セラミックパッケージは、アルミナ ( $Al_2O_3$ ) やクレイ ( $SiO_2$ ,  $MgO$  など) などの主原料を選択し、グリーンシートとよぶ印刷前のシート状にするための有機バインダーを混練しペースト状にするボールミル、シート状にするキャスト装置、金属粉末(W、Mo-Mnなど)ペースト状にするロールミル、ペーストを印刷する印刷機、積層するためのホットプレス、焼成炉、リードフレームのエッチング装置、リードフレームを銀蝋(AgCu合金)付けする還元雰囲気炉、ニッケルや金メッキの薬品選択とメッキ装置など多くの装置や治工具の設計などの基本設計をして発注した。発注を受けた多くのメーカーも、初経験の仕事となったが、積極的に対応いただいた。武蔵工場内に積層セラミックパッケージの製造ラインを敷設していただき、開発と量産を同時並行的に対応した。IC素子組立後の封止には、点溶接を重ねて封止を完成して行くシームウエルダーなども開発した。

この積層セラミック設計開発の経験を通じて絶縁材料、有機材料、金属、半導体材料などの材料設計や接合品質設計など多くを学ぶことが出来、後の半導体パッケージ設計開発を推進してゆくのにも大いに役立つことになった。

### 3. 高密度実装技術を牽引した電卓

DTL、TTL、CMLなどのICは、米国で開発されたICと同じ回路パターンを形成するリバーシブルエンジニアリングでの開発が主体であったが、電子式卓上計算機(電卓)用ICやLSIは、日本の方が先行していたために、端子数の拡大は日本が進んでいた。電卓用に積層セラミック技術を用いて42ピンのFPや24、28、40ピンのDIPなどを設計した。電卓の爆発的数量拡大要請があり、積層セラミックより安価な低融点ガラス封止型CER-DIP(DILG ;

Dual In-Line Package Glass) やプラスチックパッケージ (DILP ; Dual In-Line Package Plastic) などとも開発して量産化した。DIP 型はプリント基板に設けた 100 ミル (2.54mm) 格子のスルーホール穴にリードを挿入した後、はんだ付けする方法であるので、リード端子数が大きくなるとパッケージの外形も大きくなり、実装効率が悪いものになっていた。一方フラットパッケージ型は、リード端子ピッチを 50 ミル (1.27mm) に狭ピッチ化するために、リードフレームの厚みを DIP の 0.25mm に対して 0.127 mm と薄くしていたのでリード先端部の位置精度が悪く、リード端子位置精度を修正しながらプリント配線基板のパターンにはんだゴテを押し当てながらはんだ付けする方法ではんだ接合作業がし難い問題を抱えていた。それでも電卓メーカーはフラットパッケージ型の方が、電卓の形状を小型化出来る商品価値があった。電卓の桁表示も 6 桁→8 桁→12 桁などへの表示文字数も多くなり 54 ピン FPP (Flat Plastic Package) を開発した。パッケージの本体寸法は、端子数が多く配置できるように長方形の縦 14mm、横 20mm の外形とし、厚みは 2mm、はんだ付けリード長 1.7mm として設計した (図 1)。この薄型外形を実現するために、素子厚み低減のバックグラインド、ワイヤーボンダの精度向上、低応力トランスファーモールド樹脂材料の選択、プレスリードフレーム加工精度向上、プリント基板への搭載技術の確立など多くの技術的課題があったが、関係する材料や装置メーカーにお願いして実現することとなった。

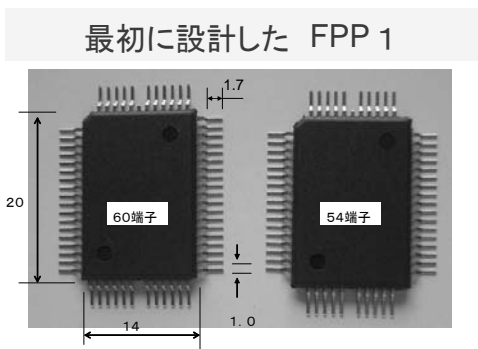


図 1 世界最初の 54/60 ピン FPP

#### 4. FPP の開発チーム

FPP は日立製作所の武蔵工場 (当時) で筆者らを中心として、会社関係者や業界関係会社の支援を戴半導体シニア協会 会報 No.66(10 年 5 月)

きながら開発を進めた。素子の薄型化のバックグラインディングやダイシングはディスコ (当時第一製砥)、リードフレームは大日本印刷や凸版印刷や三井ハイテック、金線は田中電子工業、ワイヤーボンダは新川、モールド樹脂材料は日立化成、モールド装置や個片切断成型装置はアピック山田 (当時山田製作所)、ソケットは山一電機、はんだ付け実装機はパナソニックファクトリーオートメーションズ (当時九州松下)、超音波診断検査装置は日立建機、出荷トレイはトータルパッケージ (製造 甲斐樹脂) や東洋樹脂、防湿包装材料は旭化成ポリフレックス (現旭化成パックス) などにご協力戴いた。FPP の開発に従事された会社は、その後グローバル企業として業容を拡大されている (図 2)。



図 2 FPP 開発当時のアライアンス体制

#### 5. パッケージ名称 QFP に統一

FPP に似た形状は日立製作所の他、シャープ株式会社の早川征雄氏 (故人) のグループも開発していた。1980 年中頃には NEC や東芝など国内他社も FPP と同種形状のパッケージを設計していた。そこで、半導体各社のパッケージ設計担当者を中心に討論し標準化外形にすることを提案した。討議する組織は、半導体パッケージの外形形状やパッケージ名称を討議する EIAJ (現在の JEITA) の半導体標準化委員会とした。この場の審議を通じて、名称を QFP (Quad Flat Package) に統一することや、QFP を設計する寸法設計のガイドライン (設計通則) を設定した。

パッケージ本体からリード端子を 2 辺に配置したものを SOP (Small Outline Package) とし、SOP

の命名に準じ、4辺にリードを配置したものを QFP とした。QFP の外形で熱放散機構を備えたものを HQFP (Heat sink QFP)、パッケージコーナにリードの変形を防止したものを BQFP (Bumper QFP)、厚みの薄いものを TQFP (Thin QFP)、J-Leaded を QFJ、Butt-Lead を QFB、リード端子を下面に配置したものを QFN (Quad Flat Non-lead) などと呼ぶことに決めた。その他パッケージ本体から垂直にリード端子をだしたものを PGA (Pin Grid Array)、はんだボールを配置したものを BGA (Ball Grid Array) などと呼称することとした。このパッケージ外形命名方法についても設計ガイドライン (設計通則) として規格に纏めていった。これらのパッケージ名称は、日本の命名した名称と外形寸法が世界的に使用されるようになっていく。

## 6. 国際学会での QFP 発表

この頃米国の TI (Texas Instruments) 社は、モールド外形に半球形の突起を設け、その突起に沿ってリードを曲げ J 文字状にする PLCC (Plastic Leaded Chip Carrier) を表面実装型の主要パッケージとして推奨していた。PLCC は、リードピッチを 50 ミル (1.27mm) であったので、リード端子数が多くなるに従い、パッケージ形状が大きくなる欠点があったが、リードが変形しにくいという特徴があった。PLCC は自動車用マイコンや、64 k bit DRAM などに適用していた。

標準化委員会活動を通じて QFP を広く海外に啓蒙すべしとの提案があり、日本を代表して 1986 年 IEC (International Electronics Conference) の神戸会議で QFP の設計思想と日本の標準化活動について講演した。この会議では、米国から TI 社のアダマス (A.L.Adamus) 欧州からフィリップスのベネカー (O.I.N.Beenakker) 及び筆者の 3 人が招待講演を行った。TI 社は PLCC (Plastic Leaded Chip Carrier)、フィリップスからは SOIC (Small Outline Integrated Circuits)、筆者は QFP について発表した。図 3 はその時のパネル討論会の写真である。この国際学会で QFP を説明した事で、多端子パッケージとして、QFP の設計コンセプトは広く世界から支持を得ることになっていった。

## 7. 日米半導体パッケージ合同委員会の創設

QFP の設計思想は、新規の半導体パッケージの製造で最も治工具費が掛かるのがモールド金型であり、

モールド金型を共通にして、リードフレームを変更するだけでピン数の拡大が図れる QFP は、パッケージの品種展開が容易である。この設計思想は筆者らが開発した設計思想であったが、シャープに勤務しておられた故早川征雄氏は「Fixed Body Variable Pin Pitch」として、米国の設計思想の「Fixed Pitch Variable Body」と根本的に違うので、QFP の設計



(左から筆者、Adamus、Beenakker 氏)

図 3 IMC1986 年国際会議パネル討論

手法を日本の生んだ半導体パッケージ手法として、標準化外形設計手法を標準化してゆくことになった。規格策定関係者と討議の上、パッケージ外形設計の設計思想を統一することの必要性が委員から出され、QFP 設計基準として EIAJ の規格に纏め上げた。

この時期、日本の半導体産業は進展が著しく、米国の半導体産業を超えるほどの勢いがあり、日米半導体摩擦が勃発した。そこで、半導体パッケージ外形の設計思想を米国に伝えることも重要と考え、日米で半導体パッケージ外形の標準化問題をテーマに討議する場として日米パッケージ合同委員会 (JWG-2) を立ち上げた。米国の半導体パッケージ外形寸法を討議する委員会である JEDEC JC-11 委員会と EIAJ の半導体パッケージ委員会との間で、第 1 回を 1988 年 3 月ハワイ島で行った。翌年第 2 回会議を東京浅草ビューホテルで開催した (図 4)。日本側の委員会名を JC-11 委員会とゴロ合わせで EE-13 と呼称した。以降、毎年日米交互に場所を変えながら、パッケージ関係者の技術交流が行なわれている。

## 8. QFP 規格の国際規格への格上

電気電子機器の標準化問題を扱う組織として世

界標準化会議 IEC (International Electro technical Commission) があつた。この組織において半導体関係は TC47 委員会で行い、パッケージ外形関係は作業部会 WG 7 で審議していた。ここのメンバーから QFP について、国際規格にするように提案があり、QFP など日本で開発された半導体パッケージ外形を提案し審議した。その後この作業部会の活動が認められ、半導体小委員会のパッケージ審議委員会として、TC47D と命名され、以降半導体パッケー

## QFPを通じた世界半導体パッケージ標準化活動

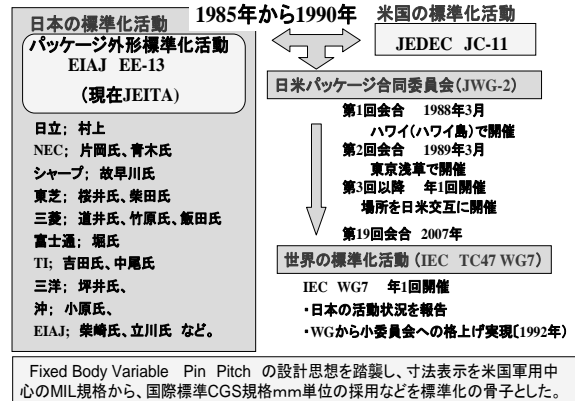


図4 第2回日米半導体パッケージ合同委員会

ジ外形を国際的に審議する機関として活動してゆくことになった。TC47D の活動を通して、QFP の設計規格などが世界の外形として広まっていった。

図5に当時の標準化活動に尽力された会社名と推進担当者、標準化活動状況などを示す。QFPの端子数は100~240端子などへと拡大し、米国の半導体メーカーもQFPが低価格、高信頼、多端子化の表面実装型の中心的パッケージとして多くのLSIに採用してゆくこととなった。

日米半導体パッケージ合同委員会、IEC TC47D委員会などの標準化活動などを通じてQFPの設計コンセプトが広く、世界に採用されるようになっていった。半導体パッケージの設計コンセプトを規格化した上で、標準規格として提案して会議に臨んでいた日本の標準化活動は、世界的に評価される活動として注目されていた。

日本を中心に作られたQFPの設計規格は、この当時台頭してきた韓国、台湾など東南アジア各国でもQFPを容易に設計出来たため、海外でのアセンブリメーカーの出現を許すことに繋がっていった。

図5 半導体パッケージ外形標準化会議

## 9. QFPの発展

QFPはその後電子情報機器の小型化薄型化により、パッケージ厚み1mm以下のTQFP、リード端子をパッケージ本体の下面に配置したQFNが広く使われるようになってきている。特にQFNは小型外形であることや、プリント基板を用いたFBGA (Fine pitch Ball Grid Array) より安価であることから、携帯電話やデジタルカメラなど多くの携帯機器電子機器に採用されている。

## 10. 業界標準化活動の反省

QFPを通じて日本が半導体パッケージ設計で世界をリードすることになり、その後もPGA(Pin Grid Array)、CSP(Chip Scale Package)、SiP(System in Package)など多くのパッケージ外形や構造を生み出して世界の電子産業の発展に寄与してきた。日本の発案が世界で使われて行くのに対して、半導体事業としての地盤降下は残念な結果であり、標準化活動で資金が日本半導体メーカーに還元される仕組みを作れなかったことに反省している今日この頃である。

## 11. さいごに

半導体パッケージ技術は、電子機器を支えるIC/LSIの発展と共に進化してきた。今後も、より低消費電力化、高速化、大容量化が求められるので、シリコン半導体、化合物半導体、酸化半導体、有機半導体など各種半導体に適合させた半導体パッケージの設計開発で日本が指導的な立場を維持されることを願望する。