

32ビット・マイコン「V60」開発物語

矢野陽一

ルネサス エレクトロニクス(株)取締役執行役員常務



まえがき

先日、ISSCC¹ 2012にて基調講演をする機会を頂いた。半導体のオリンピックといわれるISSCCで基調講演をする日がくるなどとは想像もしなかったが、大変、光栄なことであった。

マイコンの歴史と、マイコン応用の拡大についての話をした。世界のグリーン社会にマイコンが貢献しているという論調である。スピーチをこう始めた：

「まず東日本大震災で被災した方へお見舞いを申し上げるとともに、ルネサス那珂工場の復旧への支援に感謝いたします。さて、私が1986年にISSCCで発表したときから25年以上が経ちました。今でもマイコンの研究開発をやっております。しかしこの25年間にマイコンは大きく市場が拡大しました。家庭にも、クルマの中にも、多くのマイコンが使われる時代となりました……」。

このISSCC 1986で発表したのがV60である。

開発前夜

1970年代、メインフレームは32ビット、ミニコンは16ビット、マイコンは8ビットというのが一般的であったが、1970年代後半には多くの16ビットマイコンが登場した。1980年代には、マイコンも32ビットになるという予測が一般的となっていた。

高級言語によるプログラム記述、OS²の搭載などがソフトウェア環境として整備されてきたためである。

1979年に米Motorola社がMC68000を発表、そして32ビット版のMC68020を1984年に市場投入した。米National Semiconductor社はNS16032からNS32032と32ビットマイコンを発表した。米Intel社は、16ビットのi80286を経て、32ビットのi80386を1985年に発表した。このように1980年代は、32ビットマイコンが続々と発表された時期であった。

日本でも32ビットのマイコンの開発の必要性が議論

されており、NECでも32ビットマイコンを開発する機運が高まっていた。

V60 開発プロジェクト

V60のプロジェクトは1982年にスタートした。当時、私が所属していた超LSI開発本部システム部の課長の可児賢二氏(故人)から呼ばれ、「やろう」と言われたのを昨日のように覚えている。そして、開発プロジェクトがスタートした。

V60の仕様を決めるにあたって、多くのコンピュータアーキテクチャを参照し、勉強したが、キーワードは高級言語プログラミングとOSであった。具体的にはC言語とUnixである。

その数年前から、Unix勉強会がNEC中央研究所を中心に開催されており、私もそれに参加し、ソースコードを読んでいたため、Unixに対する抵抗感はまったくなかった。内部がどう動くのかも概略は分かっていた。

このようなことも含め、V60の開発にあたっては、NEC中央研究所の方々から多くの指導をいただき、コンピュータ設計の様々なテクニックを学んだ。

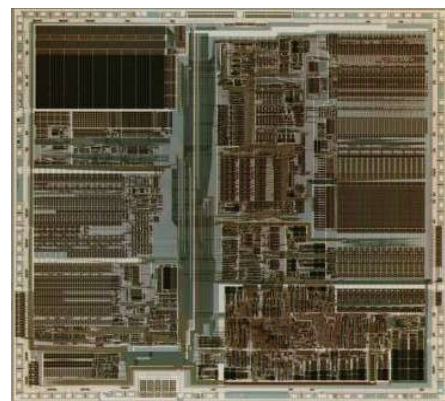


図1 V60チップ写真

CISCとRISC

1980年代はまた、CISC³とRISC⁴の議論が最も盛

¹ International Solid-state Circuit Conference

² Operating System

³ Complex Instruction Set Computer

⁴ Reduced Instruction Set Computer

んな時期でもあった。

当時はマイクロプログラム制御方式の CISC を開発するのが主流の技術であったので、V60 が CISC 方式を採用するのは自然な選択であった。

CISC 型のコンピュータは、(1)プログラムメモリのバンド幅が狭い、(2)高級言語記述からアセンブリ言語へ変換するコンパイラの開発を容易にしたい、という条件のもとで最適解を目指すアーキテクチャと言える。

また、特に V60 の場合は、応用分野として組込み用途への対応を主体と考えていたため、メモリ容量が小さいこと、そして命令供給バンド幅が狭いこと、という制約条件があった。小型のボードに搭載できるように、内部アーキテクチャは 32 ビットであるものの、外部バス幅は 16 ビットという仕様も最初から決まっていた。外付け DRAM の個数を削減するためである。

V60 の開発時期と前後して、国内の半導体メーカは坂村健教授の提唱した TRON アーキテクチャに基づくチップの開発をスタートしていた時期でもあり、TRON も同様の組込み用途を前提としたため、CISC 型アーキテクチャとなったといういきさつもあった。TRON チップは開発が遅れ 1987 年の発表となったため、V60 が国産初の 32 ビットマイコンという称号をいただくことになった。

メインフレーム、ミニコン、マイコン

ちょっと話は逸れるが、1980 年代にはメインフレームを 1 チップで実現するという製品も出てきた時期でもあった。また、ミニコンを 1 チップで実現した製品も発表された。

そういう中で、32 ビットのマイコンはどう定義されるべきか。

メインフレームやミニコンとは、応用分野が違い、顧客層が違い、そして入出力をつかさどる周辺機器が違う。マイコンの周辺機器は、タイマーや A/D コンバータであり、また、マイコンは、HDLC などの通信プロトコルをみずから実行し、モータを回し、ソレノイドを駆動する。メカトロニクス制御も応用分野だった。

そのため、32 ビットマイコンは、これら組み込み用途に使えるように Memory-mapped I/O という、8 ビットや 16 ビットマイコンからの作法を受け継いだ。

プロジェクト始動

開発プロジェクトはスタートし、何十回もの検討会議を重ねて仕様が徐々に決まっていっていった。

プロセス・テクノロジーの開発も同時に進んでいた。トラ

ンジスタ集積密度を高めることができるため、従来 3 チップで実現していた、CPU、FPU⁵、MMU⁶の 3 つの機能を 1 チップにすることを決めた。

32 ビットの CPU、しかもパイプライン実行方式をとる構成にしたうえ、FPU および MMU を搭載することは大きなチャレンジであった。

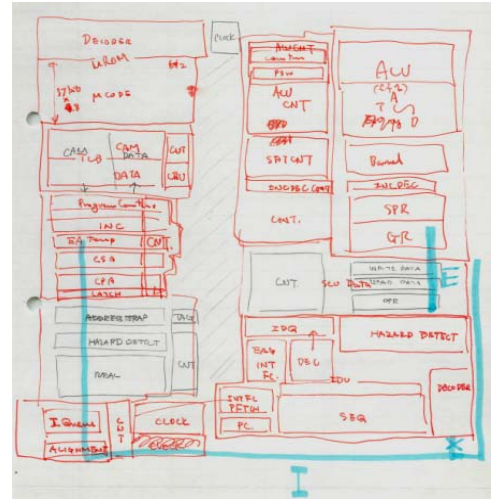


図 2 レイアウト初期設計図

CPU は最大 4 命令を処理できる 6 段パイプライン方式により高性能を目指した。

FPU は浮動小数点演算標準 IEEE 754 に準拠することとなったが、膨大な例外処理をどのようにハードとソフトで分担するかが仕様策定での難題であった。

MMU は仮想記憶管理を必要とする Unix では標準的な機能であり、搭載は不可欠であったが、同時に高信頼リアルタイム OS を実行することをサポートする必要もあり、これも難題であった。

V60 の主な仕様

V60 は、このような時代背景の中で開発した 32 ビットマイコンであり、その特徴は、

- ① 高級言語コンパイラの性能を最大限サポートできるように 32 本の汎用レジスタとしたこと
- ② 同時に最大 4 命令を処理できる 6 段パイプライン処理方式による高性能を目指したこと
- ③ OS をサポートするのに必要不可欠なページング方式の仮想記憶管理機構を内蔵したこと
- ④ IEEE 754 標準に準拠した浮動小数点演算機構を内蔵したこと

⁵ Floating-point Unit 浮動小数点演算ユニット

⁶ Memory Management Unit メモリ管理ユニット

- ⑤ 1.5 μ m ルールの CMOS・AI 2 層プロセス技術による高集積化(375,000 トランジスタ)、高速化(16MHz)の実現の5点である。

V60 の主な諸元を表 1 に示す。

項目	諸元	
汎用レジスタ(32ビット長)	32本	
命令数	119種類273命令	
命令体系	2オペランド対照型	
仮想記憶管理方式	仮想アドレス空間	4Gバイト/空間
	実アドレス空間	16Mバイト
	仮想記憶方式	ページング(4Kバイト/ページ)
	保護方式	4レベル保護
	MMU	内蔵
浮動小数点演算	演算機能	内蔵
	データタイプ	32/64ビット
パイプライン処理	段数	6段
	同時処理命令	4命令
トランジスタ数	約375,000トランジスタ	
プロセス技術	1.5 μ m CMOS・AI 2層プロセス	
チップサイズ	13.92mm x 13.80mm	
パッケージ	64-pin PGA	
アドレスバス	24ビット	
データバス	16ビット	
クロック周波数	16MHz	
電源	+5V	
性能	最大3.5MIPS(16MHz動作時)	
チップ名	μ PD70616	

表1 V60 の主な諸元

V60 のアーキテクチャ

V60 は、使いやすさと性能・機能の向上のため、高級言語との親和性を重視したアーキテクチャを採用した。

(1)仮想記憶管理

V60 は、内蔵する MMU(メモリ管理ユニット)により、ページング方式で仮想アドレス空間を生成、管理、維持し、多重仮想空間によりマルチタスクをサポートする。

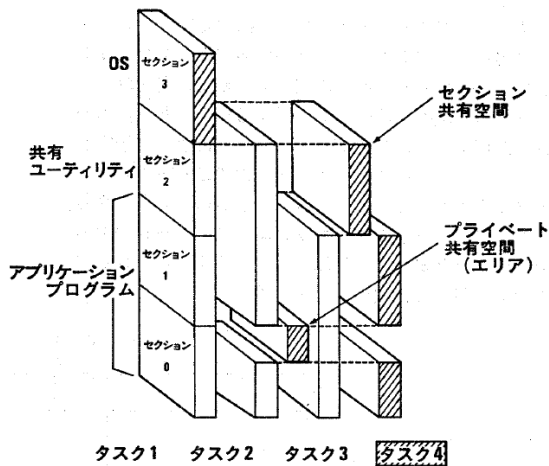


図3 多重仮想空間の構成例

(2)レジスタセット

V60 は 32 ビットの汎用レジスタを 32 本持つ汎用レジスタアーキテクチャである。

プログラムレジスタセット	特権レジスタセット
R0	ISP(Interrupt Stack Pointer)
R1	LOSP(Level 0 Stack Pointer)
R2	L1SP(Level 1 Stack Pointer)
R3	L2SP(Level 2 Stack Pointer)
R4	L3SP(Level 3 Stack Pointer)
R5	
R6	
R7	SBR(System Base Register)
R8	
R9	TR(Task Register)
R10	
R11	SYCW(System Control Word)
R12	
R13	TKCW(Task Control Word)
R14	
R15	PIR(Processor ID Register)
R16	
R17	PSW2(Program Status Word2)
R18	
R19	
R20	ATBR0(Area Table Base Register0)
R21	ATLR0(Area Table Length Register0)
R22	ATBR1(Area Table Base Register1)
R23	ATLR1(Area Table Length Register1)
R24	ATBR2(Area Table Base Register2)
R25	ATLR2(Area Table Length Register2)
R26	ATBR3(Area Table Base Register3)
R27	ATLR3(Area Table Length Register3)
R28	
R29(AP: Argument Pointer)	
R30(EP: Frame Pointer)	TRMOD(Trap Mode Register)
R31(SP: Stack Pointer)	ADTR0(Address Trap Register0)
	ADTR1(Address Trap Register1)
	ADTMRO(Address Trap Mask Register0)
	ADTMRI(Address Trap Mask Register1)
PC(Program Counter)	
PSW(Program Status Word)	

図4 V60 のレジスタセット

32 本という大量の汎用レジスタは、最適化コンパイラによる変数のレジスタ割り付け数を増やし、メモリアクセスの回数を減らすことにより処理の高速化に寄与する。

V60 のレジスタ・セットは、アプリケーション・プログラムが使用するプログラム・レジスタセットと、OS のプログラムのみが参照できる特権レジスタセットの2種を持っている。

(3)命令セット

V60 の命令セットは、2 オペランド対照型の命令フォーマットをもとにし、119 種類 273 個の命令を用意した。標準の命令セット機能である四則演算、論理演算、メモリ操作に加え、ビット列・文字列を操作する命令や高級言語の手続き呼び出し命令、そして OS 専用の特権命令が備わっている。

設計開発手法

V60 のハードウェア設計手法では新しい試みを多く取り入れた。

RTL⁷設計とRTLシミュレーションをフルチップでやった初めての事例であった。375,000 トランジスタという大規模な回路であり、これらを回路レベルで設計することは不可能であり、またゲートレベルシミュレーションで論

⁷ Register Transfer Level

理検証をするのも不可能なように思われた。

レジスタ・トランスファという記述手法でチップの設計を行う。たとえば演算回路は、演算の記述をし、トランジスタ回路そのものは記述しない。これにより、高速な論理シミュレーションができるようになる。トランジスタ回路は、その RTL 記述をもとに、論理合成あるいは手による回路設計で実現する。

超 LCAD 部門が開発した FDL⁸言語と falcon シミュレータでフルチップの論理シミュレーションを行った。それでも、ACOS メインフレームで何十時間もかかるシミュレーションを流し、論理の検証を継続した。それでも、論理検証に長期間を必要とするという見込みとなったため、V60 のブレッドボードマシン、通称 V60BBM、を開発することとなった。1984 年 2 月のことである。

V60 BBM

PLD は書き換え可能な論理素子である。これを多く使い V60 のロジックを実装する。コンピュータ・シミュレーションよりも何桁も高速に実行できる。

しかしながら、最大の課題はその規模であった。V60 のすべての機能を実装しなかったものの、それでもプリント基板は 30 枚を超え、ほぼ大型冷蔵庫の大きさとなった。



図 5 V60 BBM

また、半導体グループには実現のノウハウがなかったため、府中事業所のコンピュータ事業本部にお願いし、場所の提供と、実装手法を指導いただいた。

BBM の開発は苦労と残業の連続であった。開発の目的が立ち、BBM チームが玉川に戻ったのは、12 月末の仕事納めの日であった。

⁸ Function Description Language

チップがあがる

長い期間、そして最盛時 250 名ものエンジニアがかかわった V60 もやっと最終段階となり、最初の試作品のウエハーが相模原事業場の半導体試作ラインから、玉川事業場に届けられた。

たいして広くないテスト室は、やじ馬も含めて 15 人ほどの技術者で一杯になった。プローブをあてる瞬間を皆で見守った。

ハッピーエンドとなるべきファーストシリコンであったが、残念ながらバグがあり、チップは部分的にしか動作しなかった。デバグと修正の日々が始まった。

ISSCC での発表

1986 年の ISSCC はアナハイムのヒルトン・ホテルで開催された。この年、NEC からは 8 件の発表があった。4Mb DRAM の時代だった。

マイクロプロセッサのセッションは立ち見が出るほどの聴講者だったが、それは IBM が 1 チップ・メインフレームを発表するからであった。メインフレーム、浮動小数点演算プロセッサ、UCB の RISC などが発表された。なお UCB の発表者は女性だった。

多くの質問がでたことが印象に残っている。

25 年以上前のことだが、いまだに去年のこのような気がしている。

謝辞

このプロジェクトを遂行するにあたり、本当に多くの方々のお世話になったが、特に当時の超 LSI 技術本部長の佐々木元・現 NEC 特別顧問の指導なしでは実現できなかった。皆様に謝辞を述べるべきであるが紙数が足りないことをお許し願いたい。

また、本稿を準備するに当たり協力いただいた金子博昭氏、針谷尚夫氏、佐藤由邦氏、板垣克彦氏に感謝する。

参考文献

- [1] Yano, et al: A 32b CMOS VLSI Microprocessor with On-chip Virtual Memory Management, Digest of Technical Papers, pp.36-37, International Solid-State Circuit Conference, 1986
- [2] 佐藤、他: 仮想記憶管理機構と浮動小数点演算機構を内蔵した 32 ビット・マイクロプロセッサ、日経エレクトロニクス No.391 1986.3.24

以上