

LOC (Lead on Chip) 技術の開発

株式会社 元天 代表取締役 村上 元



1. はじめに

筆者は1967年に大学卒業後、日立製作所で半導体事業を推進していた武蔵工場に配属になりIC、LSIパッケージの設計開発業務を担当させて頂いた。この度、半導体産業人協会殿からDRAM素子の小型高密度実装方式として時代をリードした「LOC技術の開発」をテーマに、投稿するようにとのご要望があり、LOC技術の概要について記述する。

2. DRAM用パッケージの小型化変遷

DRAM素子を保護するパッケージ技術は、ウエハプロセスの微細加工技術と同様、大型コンピュータ実装容積の高効率化を求めて、小型高密度化を進展してきた。1970年台のパッケージ外形はピン挿入型のDIP(Dual In-line Package)であり、パッケージ外形横寸法300ミル(MIL)幅の寸法に、高集積化した大型化する素子寸法を実装してきた。初期のパッケージは積層セラミックパッケージであったが、量産数量の拡大に伴い、安価で生産性の高いプラスチックパッケージに変更した。プラスチックパッケージでは、エポキシ樹脂材料など材料の改良を進め対応した。

1980年中頃に、実装ボードの小型化高密度化が要望されるようになり、高密度実装型として横寸法を100ミルで実装するZIP(Zigzag In-Line Package)が開発された。表面実装型パッケージPLCC(Plastic Leaded Chip Carrier)を小型プリント基板に実装して、8個~9個のDRAM素子を実装した小型実装基板をマザーボードに実装するMemory Module方式が米国(Wang社)から64K DRAMをPLCC実装する提案がなされた。PLCC型は、米国TI社が自動車用マイコン素子などを実装する方式として開発したもので、リード形状をアルファベットのJ文字形状に成形する。長方形スタイルの樹脂外形の4辺からリードを出した。

DRAM素子のチップサイズは、300ミルの制限から素子の高集積化に伴い、長辺側が長い素子になっていった。

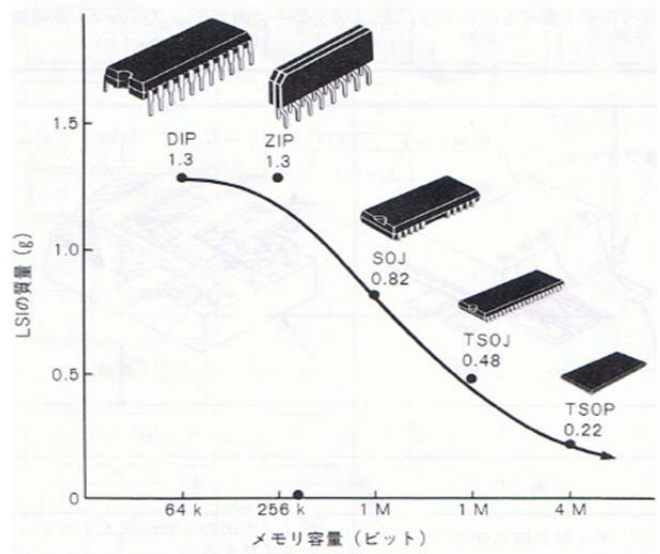


図1 DRAMパッケージの外形形状世代別推移

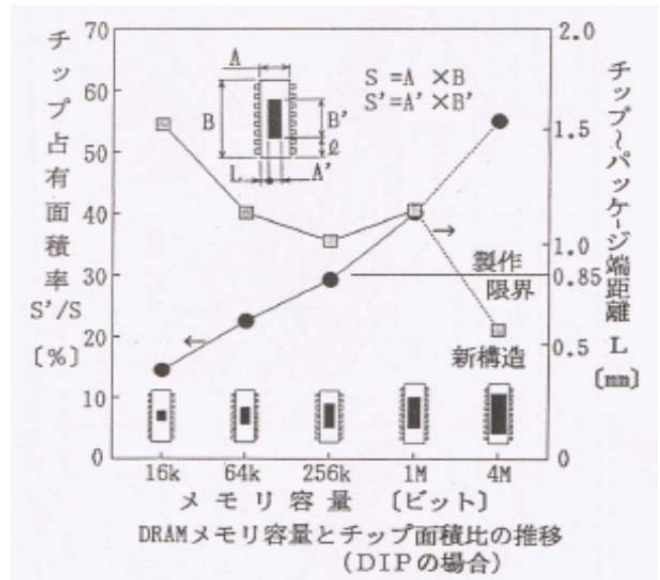


図2 DRAM素子のパッケージ占有率世代別推移

長方形素子を実装するには、パッケージ端子を2方向から出したSOJ(Small Outline J-Leaded)形状を米国標準化委員会(JEDEC)に提案し、1M時代からSOJが採用された。その後、より実装高さが低背実装が出来るTSOP(Thin Small Outline Package)へと移行し、DRAMデバイスの小

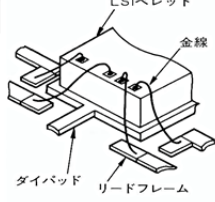
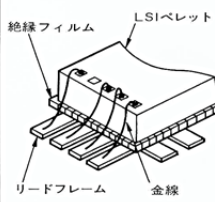
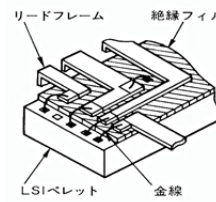
型軽量化が推進された。図1に DRAM パッケージの質量変遷を示し、図2に DRAM 素子容量推移におけるパッケージ外形変遷による実装限界を示す。

プラスチックパッケージはトランスファモールド型で、各種の信頼性寿命評価試験に耐えられるようエポキシ樹脂や、リードフレームなどに多くの工夫をした。エポキシ樹脂では、素子の大型化に追従出来るようにエポキシ樹脂にブレンドするフィラーの充填密度を高めるために、フィラー形状を球形にし、エポキシ樹脂に伸び成分を付与した海島構造型にするなどの工夫を行い、線膨張係数や弾性率を低減させた(表 1)。しかしながら、拡大する DRAM 素子大容量化に伴う素子サイズの拡大に対応する新規構造のパッケージが必要となった¹⁾。

項 目	単 位	DRAMメモリ容量(ビット)			
		64k	256k	1M	
チップサイズ	mm ²	3.56×7.65	4.04×8.78	4.66×13.74	
パッケージの種類 (パッケージ形状)	-	DIP	DIP PLCC ZIP	DIP SOJ ZIP	
レジン材料	線膨張係数	×10 ⁻⁶ /℃	24	19	17
	弾性率	kgf/mm ²	1,500	1,500	1,200
	モールドストレス	kgf/mm ²	0.8	0.4~0.5	0.3~0.4
	抽出 Cl ⁻ 量	ppm	10↓	1↓	1↓
	U量	ppb	200↓	1↓	1↓
リードフレーム	材質	-	鉄・ニッケル合金	Sn・Niめっき鋼合金	Sn・Niめっき鋼合金
	レジン接着強度	kgf/cm ²	12	30	30
	めっき法	-	部分金めっき	部分銀めっき	先端銀めっき
	付着 Cl 量	ng/フレーム	1,000~10,000	300~500	50~200
チップ取付け方法	-	Au・Si共晶	樹脂接着	ゴム接着	
面実装パッケージ出荷形態	防湿包装の有無		開発時なし	あり	

注：略語説明 PLCC(Plastic Leaded Chip Carrier), ZIP(Zigzag Inline Package), SOJ(Small Outline J Leaded Package)

表1 DRAMパッケージ技術推移

項 目		従来構造	COL	LOC
構造	概要			
	リードフレーム	ダイパッド 絶縁フィルム	なし あり	なし あり
ワイヤボン	2nd側ワイヤボン位置	チップの周辺4辺	チップの短辺側2辺	チップ表面の任意位置ですべてチップサイズ内
	長さ(mm)	2.0~3.0	2.0~2.5	0.2~2.0
ダイボン	大チップ	リードフレーム材質との応力アンバランス発生	フィルム材で応力吸収	チップ表面側フィルム材で応力吸収
大ベレット, 収納化率		△	○	◎
最大素子収納率		60%	70%	90%
高 速 化		○	○	◎
マルチ電源化		△	△	◎
信 頼 性		○	○	○
技術的難易度		小	中	大

注：略語説明など COL(Chip On Lead), LOC(Lead On Chip), メリット大◎→○→△小

図3 COL・LOC 構造の特徴

3. LOC 構造

300ミル幅 DIP で、より大きな寸法の素子を収納出来る方法として、リードフレームのダイボン部をインナーリードパターンとする方法(COL:Chip on Lead)、インナーリード部を素子面側に配置する方法(LOC: Lead on Chip)構造を考え両構造の検討を行った。検討は日立製作所の大型プロジェクトとして研究所・素子設計者・システム設計者など多くの技術者・研究者が参画して行われ、筆者はこの開発プロジェクトのパッケージ開発プロジェクトの推進リーダーを務めさせて頂いた。

リードフレームと素子の間に挟む絶縁材料として、高温耐性が高く、熱応力を低減できる材料を検討し、日立化成(株)下館工場が開発していた熱可塑性ポリイミドアミド

材料を使えるのではないかと提案があり検討した。

この樹脂は、ワイヤーボンディング時の加熱温度の 220℃以上の温度に耐え、樹脂の硬化反応時に発生するガスも少なく、不純物による DRAM 素子の特性劣化も少ないことが確認された。50 ミクロン厚みのポリイミドテープの両面に、ポリイミドアミド樹脂の接着剤を 25 ミクロンの厚みに塗布した高品質な両面接着テープを開発した。このテープの名前は HM121 と命名された。

この HM121 をプレス金型で打ち抜きリードフレームに張り付ける方法を検討した。リードフレームの貼り付けは、技術の社外漏洩を防止する目的で、日立グループでリードフレーム事業を展開しつつあった日立電線(株)電線工場にお願いした。DRAM 素子のリードフレームとの貼り付けは、それぞれの金線ボンディング部の位置をカメラ画像で認識してから、加熱加圧する装置の開発を(株)新川と日立東京エレクトロニクス(株)甲府工場(現日立ハ

イテック社)に装置開発をお願いした。

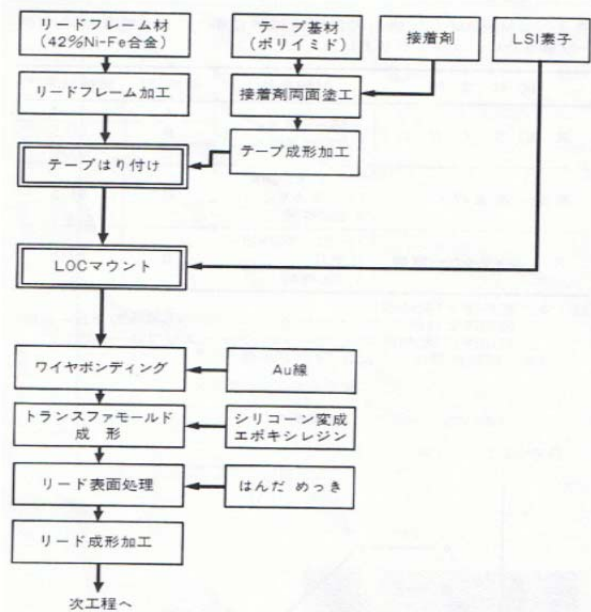


図4 LOC組立フロー

新規に開発された材料と装置を使い、COLとLOC構造の電気的特性・信頼性寿命・実装性・設計自由度を評価検討して、LOC構造大容量素子に適合することが確かめられた。新規構造を検討していることを日立製作所の企業技術雑誌日立評論や日経マイクロデバイス誌などに投稿した²⁾³⁾。

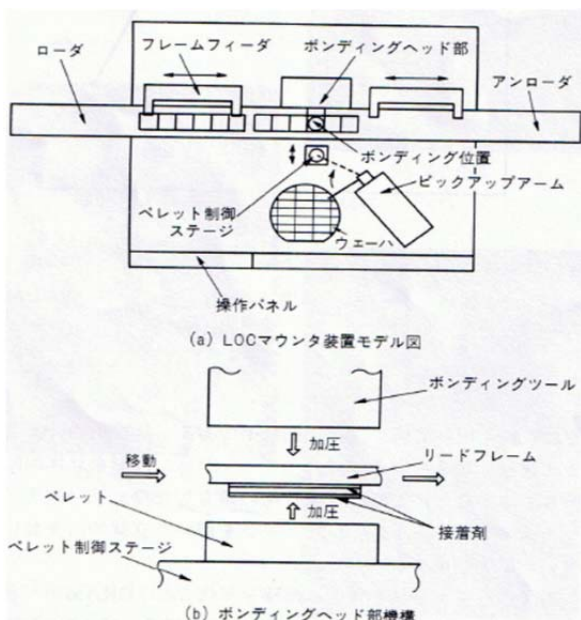


図5 DRAM素子組立装置概念図

4. TI社とLOC構造16M DRAM共同開発

64K DRAMの量産拡大で日本の半導体産業が世界で

トップポジションを得ていた1985年頃、米国の半導体産業は大きく落ち込み、Intelはじめ多くの米国半導体メーカーはDRAM事業から撤退していった。ICの基本特許を持つTI社は、シリコン基板上にトランジスタ・抵抗・コンデンサの回路を構成する素子構造(俗称:キルビー特許)などの特許を武器に日韓半導体メーカーに対して特許侵害を理由に国際貿易委員会(ITC)にDRAMの輸入差し止め訴訟を行った。訴訟の中心に、TI社が開発していた小型表面実装型PLCC適用が取り上げられた。

この特許裁判で日立の主張が認められ、TI社と和解することが出来たので、日立とTI社両者共同で次世代DRAM(16M以降)の共同開発プロジェクト(GT: Got Together)をスタートさせることになり、LOC構造を中心に構造検討、信頼性評価、市場適用性などが広く検討された。TI社のデバイス開発拠点(米国ダラス)・パッケージ製造拠点(シンガポール)・日立デバイス開発拠点(青梅)・日立パッケージ開発拠点(小平市)としてDRAMへのLOC構造適用に向けた開発と評価が進められた。

図6に両社開発のLOC構造16M DRAMの開発状況を示す⁴⁾。

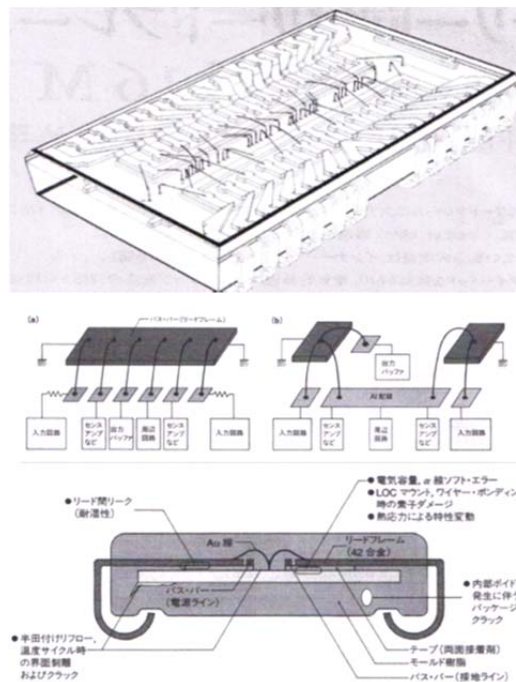


図6 日立-TI社共同開発による16M DRAM⁴⁾

リードフレームの設計では、素子設計を担当していた日立デバイス開発センターのDRAM設計者達と入念な検討を行い、ボンディングパッドは素子長辺中央部に配置する構造とし、電源線をパッケージの左右4隅に配置し、データ線などの信号線は長辺側中央部に配置することとして、素子中央部のボンディングパッドと、電源線(バスバ

一)を跨いで金線で接合する構造にした。このボンディングパッド配列は、従来の周辺配置構造では困難であった素子設計での電力の安定供給が出来ること、より多くの信号線を取り出せること、データの取り出し回路の設計自由度が高まる等多数の設計上利点があった⁴⁾。

なお、LOC 構造の良さを認識した TI 社は、4M DRAM の後半素子から LOC 構造を採用した 4M DRAM を量産適用した。

5. LOC 構造の国内外他社への発展

LOC 構造を DRAM 設計の標準化方式にするために、筆者は 1994 年職場を、LOC リードフレーム設計が LOC 技術のポイント技術になるので、日立電線(株)電線工場に置き、国内外の DRAM メーカーに対して LOC 技術の優位性を啓蒙活動した。この時期はパソコンが発展時期にあたり、国内 DRAM メーカー 7 社、韓国 3 社、台湾 5 社程度が LOC 技術を採用し DRAM 事業を拡大していった。日立電線の LOC リードフレーム、日立化成のテープ材料、日立東京エレクトロニクスの LOC マウンターの事業は飛躍的發展し、日立製作所は半導体メーカー各社から多額の特許料収入を得ることが出来た。

6. LOC 構造の展開(μBGA への展開)

1997 年 Intel は、メインメモリに Rambus 社が開発していた高速伝送方式を採用することを表明し、両社から筆者に対して、低電圧・高速伝送が出来る新しいパッケージ構造を開発したいとの要望がなされた。そこで、米国 Tessera 社が提案していた小型 CSP (Chip Scale Package) 型の μBGA(Micro Ball Grid Array)の採用を提言して、高速と高信頼性を兼ね備えたパッケージの開発を進めた。

リードフレームやプリント基板より薄く、微細配線加工ができ、配線容量や配線抵抗を低く出来る TAB(Tape Automated Bonding)テープを採用し、TAB テープの配線層を直接素子のボンディングパッドに接続する構造とした。銅箔の配線厚みは 25 ミクロンとし、銅表面には Au めっきを施す仕様にした。

素子と配線層の間に入れる応力緩衝膜として微細孔を持つフッ素樹脂(PTFE)を採用した。PTFE の微細孔は、水蒸気は貫通出来るが、撥水性があり水分を吸収しない仕様とした⁵⁾。

その結果、吸湿リフロー耐性の高いパッケージに仕上げることが出来、現在サーバーなど高信頼性を必要とする用途に使われている。

7. LOC 技術 パワーエレクトロニクスへの展開

素子配線面の上にパッケージ材料を載せる LOC 構造は、DRAM の他、高放熱特性を生かしてパワーエレクトロニクスの分野の素子実装に広く使われている。パワー MOSFET や IGBT 素子では、素子に取り付けたバンプにリードフレームを接合する構造であり、素子から発生する熱の放散性が良く、ボンディング線の抵抗成分やインダクタンス成分を少なく出来て低消費デバイス設計が出来る。ルネサス高崎地区製品は、このパッケージを LFPACK[®] (Loss Free Package)と命名してパワー MOSFET 系列の製品展開中である。トヨタ自動車社とデンソー社は、ハイブリッド自動車などのモーター駆動回路部をパワーカード[®]と命名した回路モジュールに採用している。三菱電機では IPM (Intelligent Power Module)に適用し、DIP-IPM[®]と呼んで製品系列の拡充を進めている。

8. おわりに

DRAM 用に開発した素子配線面の上にリードフレームやプリント印刷配線基板を載せるパッケージ構造は、高速伝送や低消費電力のニーズに対応して、大容量メモリやパワーエレクトロニクス系半導体素子実装の中心的地位を占めるようになってきている。LOC 技術が、日本が生んだパッケージ技術として、各種デバイスへの適用を発展させて戴けたなら望外の幸せです。

LOC 関係技術開発に向けて技術推進をご協力戴いた関係各社各位、並びに今回の寄稿の機会を与えていただいた半導体産業人協会関係者各位に感謝致します。

<参考文献>

- 1)村上他、「パッケージ技術」情報産業を支える VLSI 技術,日立評論,Vol.69, No.7(1987-7)
- 2)村上他、「薄形,高密度,高速化対応パッケージ技術」最新半導体技術,日立評論, Vol.72, No.12(1990-12)
- 3)村上,「100mm²のチップを 300ミル DIP に入れる LOC, COL 構造」日経マイクロデバイス 1988 年 5 月号
- 4)安生他,「メモリ向けリードフレームに大変革 LOC 構造を使う 16MDRAM」,日経マイクロデバイス 1991 年 2 月号
- 5)中村他,「FCA 方式による半導体デバイスの熱粘弾性解析による反り変形挙動の予測」,エレクトロニクス実装学会誌, Vol.2, No.4(1999-7)