



① 日本国特許庁

# 公開特許公報

特許願 7 (特許法第38条ただし書の規定による)  
特許出願  
昭和49年2月25日

①特開昭 51-74535  
④公開日 昭51.(1976) 6.28  
②特願昭 49-148056  
②出願日 昭49.(1974)2.25  
審査請求 有 (全8頁)

特許庁長官 殿  
発明の名称 半導体メモリ

特許請求の範囲に記載された発明の数 2

発明者

住所 東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社 日立製作所 中央研究所内  
氏名 伊藤 清 勇

特許出願人

住所 東京都千代田区丸の内一丁目5番1号  
名称(510) 株式会社 日立製作所  
代表者 吉山 博 吉

代理人

住所 東京都千代田区丸の内一丁目5番1号  
株式会社 日立製作所内  
電話東京 270-2111(大代表)  
氏名 (7237) 弁理士 薄田 利

庁内整理番号

7056 56  
7368 56

⑤日本分類

97(7)C19  
97(7)C13

⑤Int.Cl<sup>2</sup>

G11C 11/40

## 明 細 書

発明の名称 半導体メモリ

### 特許請求の範囲

1. 互いに電気特性がほぼ等しく、かつ互いに平行に配置されたデータ対線と、上記データ対線と直交するワード線の交点のいずれか一方の交点に、対線内のそれぞれのデータ線に接続されるメモリセルの総数が等しくなるようにメモリセルを接続し、かつ対線内の一方のデータ線に接続されているメモリセルが選択された場合に、他方のデータ線に接続されたダミーセルが同時に選択されて、これら選択されたメモリセルとダミーセルからの出力信号を差動で検出することを可能とするためのダミーセルをデータ線に接続したことを特長とする半導体メモリ。

2. 1ケのトランジスタで1ビットを構成するメモリセルを有する上記メモリにおいて、上記差動信号を検出するための増幅器を、上記データ対線の片端、あるいは片端と他端に交互に配置することを特長とした半導体メモリ。

### 発明の詳細な説明

本発明は半導体メモリにおけるメモリアレーの構成に関するものである。

従来1ケのトランジスタで1ビットを構成するメモリ、たとえばMOSメモリでは第1、第2図のような回路が採用されていた。すなわち第1図において、たとえばメモリセル $MC_0$ を読み出す場合には、ワード線 $W_0$ と、他のデータ線 $D_0$ に属するワード線 $DW_1$ に同時にパルスを印加し、 $MC_0$ と $DM_1$ からの読み出し信号として、2本のデータ線 $D_0$ 、 $\bar{D}_0$ に現われる微少な差動信号出力を、プリアンプPAのセット信号SetをオンにすることによってPAを動作させて増幅し、 $D_0$ 、 $\bar{D}_0$ のいずれか一方のデータ線に現われた電圧を検出して情報"1"、"0"を弁別していた。ここで差動信号出力が発生する理由は以下の通りである。ダミーセルの容量 $C_0$ に記憶されている電圧は、メモリセルの $C_0$ に記憶されている情報"1"、"0"に対応した電圧のほぼ中間に設定されるから、ダミーセルの読み出しによりデータ線に現われる電圧はメモリ

セルの“1”，“0”読み出しによるデータ線電圧のほぼ中間となる。第2図は第1図を複数個(64ケ)LSIチップ内に実装してメモリLSIにした場合の幾何学的配置を考慮した回路概略図である。図中白丸印がメモリセル，黒丸印がダミーセルである。たとえば，前記のようにして $\bar{D}_0$ に現われた信号を外部的に取り出すには，アドレス信号 $A_0$ によって $Q_0$ をオンにして， $\bar{D}_0$ の信号をメインアンプMAに入力して増幅し，データ出力Doutとして，チップ外にとり出す。さてこのような構成での欠点は次の点に要約される。① $D_0, \bar{D}_0$ に現われた差動の信号の片方のみをMAで増幅することになる。したがって $D_0, \bar{D}_0$ に現われた両方の信号を有効に利用する。以下の本発明に比べて高速性の点で劣る。また片方の信号をとり出すために $D_0, \bar{D}_0$ の電気的不平衡が生じやすく誤動作の原因となる。②電気特性を平衡させるべき $D_0, \bar{D}_0$ が，チップCHIP内で幾何学的に近接していないために， $D_0, \bar{D}_0$ に不平衡雑音が結合しやすく，プリアンプをオンにした場合に誤動作の原因となる。これらの欠点によ

(a)，(b)，(c)は $D_0, \bar{D}_0$ にそれぞれ1ケおき，2ケおき，4ケおきにメモリセルを接続する方法である。第5図，第6図はSiゲートプロセスを用いた第4図(b)，(c)のレイアウト例である。図中，ポリSiで形成されたcpは，第1図のような，メモリセル内の記憶容量 $C_0$ を形成するためのもので，たとえばN-チャネルMOSでは，cpに高電圧を加えると，その直下に形成されるチャネルとcp間の容量が $C_0$ となる。第5図を用いて動作を簡単に説明すると，たとえば $W_{63}$ にパルス電圧を印加するとトランジスタQ(第1図MC<sub>03</sub>内のQに相当)はオンとなり， $C_0$ の記憶電圧はデータ線 $D_0$ 容量と $C_0$ で分圧された形で $D_0$ に電圧が現われることになる。一方 $D_0$ には，トランジスタQが存在しないから，出力は現われない。 $\bar{D}_0$ に現われる出力は，前述したようにダミーセル(図中省略)からの出力だけとなる。なお第5図から明らかなように， $D_0$ と $D_1$ におけるコンタクト部の拡散層間の距離を中間にAl配線が存在するため，大にできる。そのため $D_0, D_1$ 間のバンチスルーが避

り，高速，高安定メモリLSIの設計には従来限界があった。本発明はこれらの欠点を解消するものである。以下実施例で詳細に説明する。

第3図は，その回路例である。すなわち差動読み出し信号が現われる対線 $D_0, \bar{D}_0$ を図中のように近接して平行に配置し，かつワード線( $W_0 \sim W_{63}$ ， $DW_0, DW_1$ )の各々1本と $D_0, \bar{D}_0$ の交点の中で，一方の交点のみにメモリセルを接続する。あるメモリセル(たとえばMC<sub>03</sub>)読み出す場合には，そのセルが接続されていないデータ線( $\bar{D}_0$ )に接続されているダミーセル(DM<sub>0</sub>)を同時に読み出して， $D_0, \bar{D}_0$ に現われた差動電圧をPA<sub>0</sub>で有効に利用する。またPA<sub>0</sub>で増幅された差動信号は， $A_0$ の印加によってトランジスタ $Q_0, \bar{Q}_0$ を通り差動のアンプMAに入力し，再び差動で増幅される。このように本発明では，第2図とはまったく異り，すべて信号は差動で処理される。また $D_0, \bar{D}_0$ の電気的平衡度は何ら阻害されることはない。第4図は， $D_0, \bar{D}_0$ の電気的平衡度を保ったままのメモリセル(8ビット)の接続法の概略図である。図中

けられる利点もある。さらに第3図の他の利点はプリアンプPA<sub>0</sub>のレイアウトが従来に比べ容易となることである。すなわち従来の第1，2図では，互いに一直線上にレイアウトされている $D_0, \bar{D}_0$ の中間に，メモリセルよりもはるかに占有面積大でしかも回路構成の複雑なPA<sub>0</sub>をレイアウトしなければならず，データ線のピッチを考えるとこれはきわめて困難であった。しかし第3図では，データ線のピッチ方向に対して，従来のほぼ2倍のレイアウト上の面積的余裕がでてくるので，レイアウトがきわめて容易となる。

またプリアンプPA<sub>0</sub>の配置は第3図のようにMA側でもよいし，あるいは $D_0, \bar{D}_0$ 上の他端( $W_{63}$ 側)でもよい。 $W_{63}$ 側にPA<sub>0</sub>を配置すると第3図のごとき，片端のみレイアウトの比較的困難な制御回路(PA<sub>0</sub>， $Q_0$ など)が集中することはない。場合によってはプリアンプをデータ線上のMA側と $W_{63}$ 側とで交互に配置することもできる。このように本発明によればレイアウトの自由度が大幅に増すことができる。

2字入

また第5、6図では、ワード線がポリSiの例であるが、ワード線がAlの場合にも同様にレイアウト可能で、またAlゲートの場合にも同様である。また本例では1つのトランジスタで1ビットを構成する例であったが、データ対線から差動に信号を取り出すために、ワード線との2交点の一方のみメモリセルを接続し、かつダミーセルを利用した第3図、第4図の考え方を応用すれば、すべてのメモリLSIに適用できることは明らかである。

以上から高速、高安定動作のメモリLSIが実現できることになる。

図面の簡単な説明

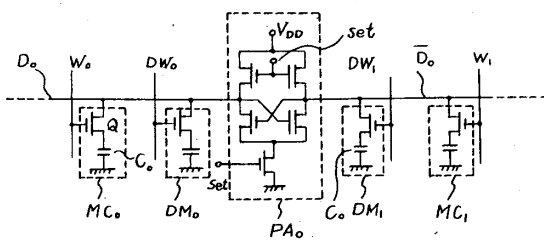
第1図、第2図は1つのトランジスタで1ビットを構成する従来のメモリ構成、第3図はデータ対線の片側からだけ読み出し信号が出力する本発明の実施例、第4図はメモリセルの結線法、第5図、第6図はSiゲートを例にしたレイアウトの実施例である。

$D_0, \bar{D}_0, D_1$  : データ線,  $W_0 \dots W_{62}$  : ワード線,  $DW_0, DW_1$  : ダミーセルのワード線,  $MC_0, MC_1$  :

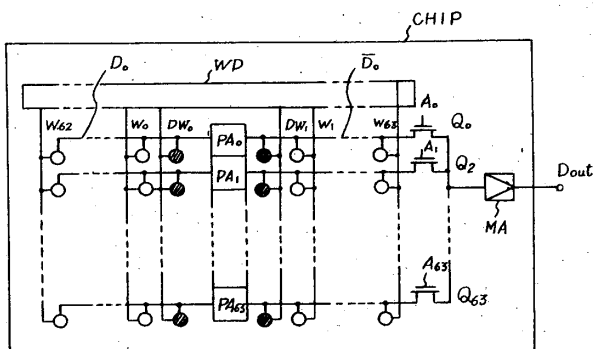
メモリセル,  $DM_0, DM_1$  : ダミーセル,  $C_0$  : 記憶容量,  $Q$  : メモリセル内トランジスタ,  $WD$  : ワードドライバ,  $\bar{Q}_0, Q_0 \sim Q_{63}$  : データ線選択用トランジスタ,  $A_0 \sim A_{63}$  : アドレス信号,  $PA_0 \sim PA_{63}$  : プリアンプ,  $MA$  : メインアンプ,  $Set$  : セット信号,  $V_{DD}$  : 電源電圧,  $CHIP$  : チップ,  $CP$  :  $C_0$ 形成用電極,

代理人弁理士 薄田利幸

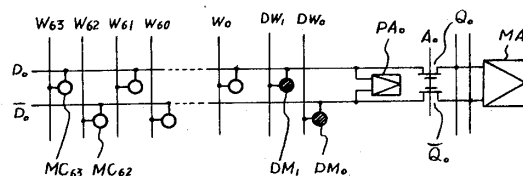
第1図



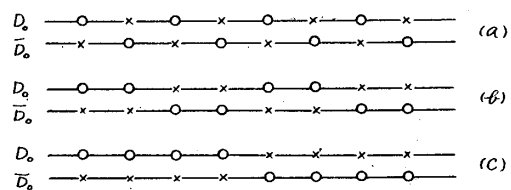
第2図



第3図

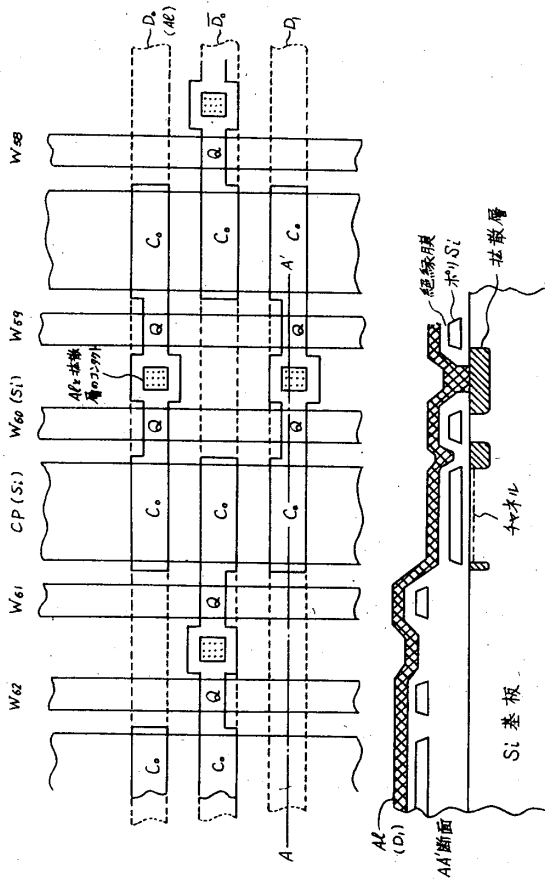


第4図

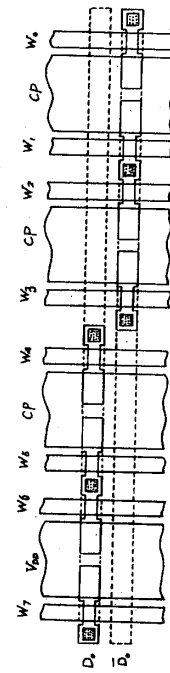


○ 信号出力あり(セルあり)  
 × 信号出力なし(セルなし)

第 5 図



第 6 図



添附書類の目録

- (1) 明 細 書 1通
- (2) 図 面 1通
- (3) 委 任 状 1通
- (4) 特 許 願 書 本 1通

前記以外の発明者、特許出願人または代理大

発 明 者

フリガナ  
住 所

フリガナ  
氏 名

手 続 補 正 書

昭和 50 年 10 月 1 日

特許庁長官 殿

事 件 の 表 示

昭 和 49 年 特 許 願 第 148056 号

発 明 の 名 称

半 導 体 メ モ リ

補 正 を す る 者

事件との関係 特 許 出 願 人  
名 称 (S10) 株 式 会 社 日 立 製 作 所

代 理 人

居 所 東 京 都 千 代 田 区 丸 の 内 一 丁 目 5 番 1 号

株 式 会 社 日 立 製 作 所 内 電 話 東 京 270-2111 (大 内 線)

氏 名 (7237) 弁 理 士 薄 田 利

補正により増加する発明の数 1

補 正 の 対 象

明 細 書 全 文 お よ び 図 面

補 正 の 内 容

1、本願明細書全文および図面をそれぞれ別紙のと  
おり補正する。



## 補 正 明 細 書

発明の名称 半導体メモリ

特許請求の範囲

1.(イ) 互いに電気的特性がほぼ等しく、互いに平行に配置されたデータ線対と、

(ロ) このデータ線対と直交する複数のワード線と、

(ハ) このワード線と上記データ線対の交点のうちいずれか一方の交点に配置され、かつ、それぞれのデータ線に接続されるとともに、その総数が等しくなるように接続されたメモリセルと、

(ニ) 上記データ線に設けたダミーのメモリセルと、

(ホ) このダミーのメモリセルを読出すためのダミー用ワード線と、

(ヘ) 上記データ線対のいずれか一方のデータ線上の選択されたメモリセルと他方のデータ線上のダミーのメモリセルの出力を差動的に検出する手段、

からなることを特徴とする半導体メモリ。

構成に関するものである。

従来1ケのトランジスタで1ビットを構成するメモリ、たとえばMOS (Metal-Oxide-Semiconductor)メモリでは第1図、第2図のような回路が採用されていた。すなわち第1図において、たとえばメモリセルMC<sub>0</sub>を讀み出す場合には、ワード線W<sub>0</sub>と、他のデータ線D<sub>0</sub>に属するダミーワード線DW<sub>1</sub>に同時にパルスを印加し、メモリセルMC<sub>0</sub>とDM<sub>1</sub>からの讀み出し信号として、2本のデータ線D<sub>0</sub>、D<sub>0</sub>に現われる微小な差動信号出力を、プリアンプPA<sub>0</sub>のセット信号SetをオンにすることによってプリアンプPA<sub>0</sub>を動作させて増幅し、D<sub>0</sub>、D<sub>0</sub>のいずれか一方のデータ線に現われた電圧を検出して情報"1"、"0"を弁別していた。ここで差動信号出力が発生する理由は以下の通りである。ダミーセルDM<sub>1</sub>の容量C<sub>0</sub>に記憶されている電圧は、メモリセルMC<sub>0</sub>に記憶されている情報"1"、"0"に対応した電圧のほぼ中間に設定されるから、ダミーセルの讀み出しによりデータ線に現われる電圧はメモリセル

2 特許請求の範囲第1項の半導体メモリにおいて、上記データ線対を選択するためのデコーダを上記検出手段の最近端に設けたことを特徴とする半導体メモリ。

3 特許請求の範囲第1項の半導体メモリにおいて、上記検出手段を、上記データ線対に上記データ線対の相異なる片端に配置したことを特徴とする半導体メモリ。

発明の詳細な説明

本発明は半導体メモリにおけるメモリアレーの

(以下余白)

の"1"、"0"讀み出しによるデータ線電圧のほぼ中間となる。

従って、この中間値と"1"、"0"出力との差が極性の異なる差動信号出力となる。

第2図は第1図に示す回路を複数個(例えばここでは64ケ)LSIチップ内に実装してLSIメモリを構成した場合の幾何学的配置を考慮した回路の概略を示す図である。図中白丸印がメモリセル、黒丸印がダミーセルである。たとえば、前記のようにしてデータ線D<sub>0</sub>に現われた信号を外取り出すには、アドレス信号A<sub>0</sub>によってトランジスタQ<sub>0</sub>をオンにして、データ線D<sub>0</sub>の信号をメインアンプMAに入力して増幅し、データ出力Doutとして、チップ外に取出す。さてこのような構成での欠点は次の点に要約される。すなわち①データ線D<sub>0</sub>、D<sub>0</sub>に現われた差動の信号の片方のみをメインアンプMAで増幅することになるので高速性の点で劣る。

②片方の信号をとり出すためにD<sub>0</sub>、D<sub>0</sub>の電氣的不平衡が生じやすく誤動作の原因となる。③電

電気的特性を平衡させるべきデータ線  $D_0, \bar{D}_0$  が、チップ内で幾何学的に近接してないために、 $D_0, \bar{D}_0$  に不平衡雑音が結合しやすく、プリアンプをオンにした場合に誤動作の原因となる。これらの欠点により、高速にして、高安定なLSIメモリ設計には従来限界があった。本発明はこれらの欠点を解消するものである。

このために、本発明は、互いに差動検出されるべきデータ線を近接して配置し、かつプリアンプに対して同一側に配置するようにしたものである。すなわち、

(イ) 互いに電気的特性がほぼ等しく、かつ互いに平行に配置されたデータ線対と、

(ロ) このデータ線対と直交する複数のワード線と、

(ハ) このワード線と上記データ線対の交点のうちいずれか一方の交点に配置され、かつそれぞれのデータ線に接続され、かつその総数が等しくなるように接続されたメモリセルと、

(ニ) 上記データ線に設けたダミーのメモリセ

ルと、

(ホ) このダミーのメモリセルを読み出すためのダミー用ワード線と、

(ヘ) 上記データ線対の一方のデータ線上の選択されたメモリセルと、

他方のデータ線上のダミーのメモリセルの出力を差動的に検出する手段、

からなる特徴を見える半導体メモリである。

以下実施例で詳細に説明する。

第3図は、その回路例を示すものである。すなわち差動読み出し信号が現われるデータ線対  $D_0, \bar{D}_0$  を図中のように近接して平行に配置し、かつワード線 ( $W_0 \sim W_3, DW_0, DW_1$ ) の各々1本と  $D_0, \bar{D}_0$  の交点の中で、一方の交点のみにメモリセルを接続する。あるメモリセル(たとえば  $MC_0$ ) 読み出す場合には、そのセルが接続されていないデータ線 ( $\bar{D}_0$ ) に接続されているダミーセル ( $DM_0$ ) を同時に読み出して、データ線  $D_0, \bar{D}_0$  に現われた差動電圧をプリアンプ  $PA_0$  で有効に利用する。またプリアンプ

$PA_0$  で増幅された差動信号は、<sup>データの拡散がある</sup> アドレス信号  $A_0$  の印加によってトランジスタ  $Q_0, \bar{Q}_0$  を通り差動のアンプ  $MA$  に入力し、再び差動で増幅される。このように本発明では、第2図の場合とはまったく  $D_0, \bar{D}_0$  の電気的平衡度は何ら阻害されることはない。第4図は、 $D_0, \bar{D}_0$  の電気的平衡度を保ったままのメモリセル(8ビット)の接続法の概略図である。図中(a), (b), (c)は  $D_0, \bar{D}_0$  にそれぞれ1ヶおき、2ヶおき、4ヶおきにメモリセルを接続する方法である。第5図(a), 第6図はシリコンゲートプロセスを用いて第4図(b), (c)を実現するレイアウト例である。第5図(b)は第5図(a)の  $A-A'$  部の断面図である。

図中、ポリシリコンで形成された記憶容量形成電極  $cp$  は、第1図のような、メモリセル内の記憶容量  $C_0$  を形成するためのものである。

400, 410はシリコン基板600内に形成され、トランジスタ  $Q$  を形成するためのドレインとソース(又はソースとドレイン)であり420は410に対応して、 $C_0$  を形成するためのドレ

イン(又はソース)である。

記憶容量形成電極  $cp$  およびワード線  $W_0, W_1, W_2, W_3$  等はポリシリコンで形成され、データ線  $D_0, \bar{D}_0$  等はアルミニウムで形成されている。データ線  $D_0, \bar{D}_0$  等とワード線  $W_0, W_1$  等は絶縁膜200により分離されている。100はデータ線  $D_0, \bar{D}_0$  等と拡散層400とのコンタクト部である。

記憶容量  $C_0$  の形成は、 $N$ -チャネル  $MOS$  では、 $cp$  に高電圧を加えると、その直下に形成されるチャネルと  $cp$  間の容量が  $C_0$  となる。第5図を用いて動作を簡単に説明すると、ワード線たとえば  $W_0$  にパルス電圧を印加するとトランジスタ  $Q$  (第1図  $MC_0$  内の  $Q$  に相当) はオンとなり、 $C_0$  の記憶電圧はデータ線  $D_0$  の容量と  $C_0$  で分圧された形で  $D_0$  に電圧が現われることとなる。一方これと対になるデータ線  $\bar{D}_0$  には、トランジスタ  $Q$  が存在しないから、出力は現われない。 $\bar{D}_0$  に現われる出力は、前述したようにダミーセル(図中省略)からの出力だけとなる。なお第5図から明らかなように  $D_0$  と  $D_1$  におけるコンタ

クト部の拡散層間の距離を中間にA1配線が存在するために、大にできる。そのためD<sub>0</sub>、D<sub>1</sub>間のパンチスルーが避けられる利点もある。さらに第3図の他の利点はブリアンプPA<sub>0</sub>のレイアウトが従来に比べ容易となることである。すなわち従来の第1図、第2図では、互いに一直線上にレイアウトされているD<sub>0</sub>、D<sub>1</sub>の中間に、メモリセルよりもはるかに占有面積大でしかも回路構成の複雑なPA<sub>0</sub>をレイアウトしなければならず、データ線のピッチを考えるとこれはきわめて困難であった。しかし第3図では、データ線のピッチ方向に対して、従来のほぼ2倍のレイアウト上の面積的余裕がでてくるので、レイアウトがきわめて容易となる。

またブリアンプPA<sub>0</sub>の配置は第3図のようにMA側でもよいし、あるいはD<sub>0</sub>、D<sub>1</sub>上の他端(W<sub>0</sub>側)でもよい。W<sub>0</sub>側にPA<sub>0</sub>を配置すると第3図のごとき、片端にのみレイアウトの比較的困難な制御回路(PA<sub>0</sub>、Q<sub>0</sub>など)が集中することはなくなる。場合によってはブリアンプを

データ線上のMA側とW<sub>0</sub>側とで交互に配置することもできる。このように本発明によればレイアウトの自由度を大幅に増すことができる。

また第5図、第6図では、ワード線がポリSiの例であるが、ワード線がA1の場合にも同様にレイアウト可能で、またA1ゲートの場合にも同様である。

また本例では1ケのトランジスタで1ビットを構成する例であったが、データ対線から差動に信号を取り出すために、ワード線との2交点の一方にのみメモリセルを接続し、かつダミーセルを利用した第3図、第4図の考え方を応用すれば、すべてのメモリLSIに適用できることは明らかである。第3図において、CD、C<sub>D</sub>はデータ線読み、読出しのための共通のデータ線である。

以上から高速、高安定動作のメモリLSIが実現できることになる。

凶面の簡単な説明

第1図、第2図は1ケのトランジスタで1ビットを構成する従来のメモリ構成、第3図はデータ対線の片側からだけ読み出し信号が出力する本発

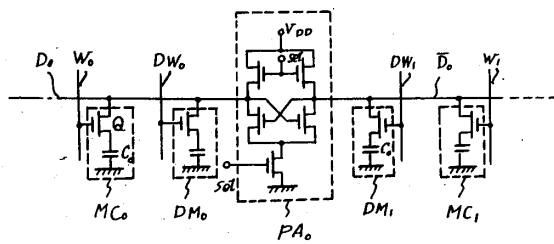
20字加入  
20字加入

明の実施例、第4図はメモリセルの結線法、第5図、第6図はSiゲートを例にしたレイアウトの実施例である。

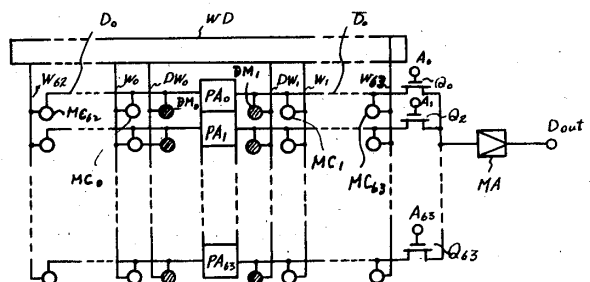
D<sub>0</sub>、D<sub>1</sub>、D<sub>2</sub>：データ線、W<sub>0</sub>…W<sub>6,2</sub>：ワード線、DW<sub>0</sub>、DW<sub>1</sub>：ダミーセルのワード線、MC<sub>0</sub>、MC<sub>1</sub>：メモリセル、DM<sub>0</sub>、DM<sub>1</sub>：ダミーセル、C<sub>0</sub>：記憶容量、Q<sub>0</sub>メモリセル内トランジスタ、WD：ワードドライバ、Q<sub>0</sub>、Q<sub>1</sub>～Q<sub>6,3</sub>：データ線選択用トランジスタ、A<sub>0</sub>～A<sub>6,3</sub>：アドレス信号、PA<sub>0</sub>～PA<sub>6,3</sub>：ブリアンプ、MA：メインアンプ、Set：セット信号、OP：形成用電極。

代理人弁理士 薄田 利幸

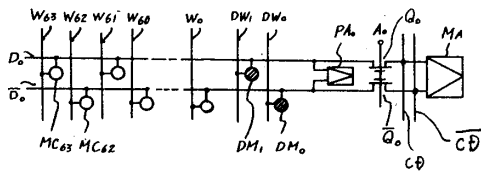
第 1 図



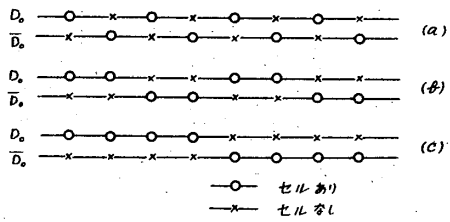
第 2 図



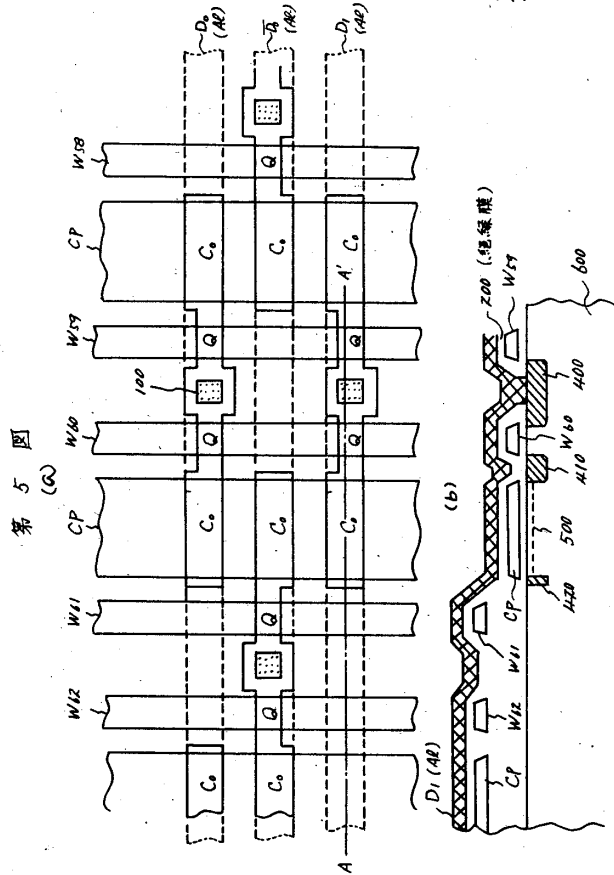
第 3 図



第 4 図



第 5 図



第 6 図

