

半導体の歴史

— その10 20世紀後半 集積回路への発展(5) —



株式会社ルネサステクノロジ
生産本部技術開発統括部
MCU デバイス開発部 主管技師

おくやま こうすけ
奥山 幸祐

III MOS トランジスタの実用化

これまで述べてきたバーディン、バラッティンが発明した点接触型トランジスタや、ショックレーが発明しその後本格的に工業製品として生産されるとともに IC に使われた接合型トランジスタなどはバイポーラトランジスタである。ベースに流しこむ少量の電流（少数キャリア）量を変化させることでエミッターからコレクターに流れ込む電流が増幅される原理のデバイスである。これまで述べたように、リリーフェルドらによって先に発明されたのは電界効果トランジスタ（field-effect transistor: FET）であったが、実用デバイスとしてはバイポーラトランジスタの方が先に開発されて、長期間にわたり優位を占めることになる。しかしながら、1960年代前半のプレーナー技術、その改良技術などを基にしたバイポーラトランジスタや IC（バイポーラ・IC）が量産される中で、Si 表面の安定化技術が進歩してゆく。ここで育てられた表面安定化技術が、最も代表的な FET、すなわち Si を用いた絶縁ゲート電界効果トランジスタ（insulated-gate field-effect transistor: IGFET）の実用化を可能にしてゆく。このタイプの FET は、初期にはゲートの材料に金属（アルミニウム）が用いられており、絶縁体は二酸化珪素（ SiO_2 ）であったため金属-酸化物-半導体（Metal-Oxide-Semiconductor）電界効果トランジスタ、すなわち MOSFET という名称で呼ばれるに至っている（以降、MOS トランジスタと記載する）。現代では殆どのデバイスでは作成の容易さと再現性の要請から、ゲート材料には金属の代わりに、高濃度の不純物を添加した導電性の高い縮退他結晶 Si（Poly Si）を用いることが多い（最近の先端デバイスで再びメタルゲートが復活しているが）が半導体業界で MOSFET という呼び方が慣用的に広く用いられている。MOS トランジスタはバイポーラトランジスタに比べて製造プロセスも少な

く簡単であり、特性的にも真空管的な電圧型の特性を持ち、入力インピーダンスも高く、混変調も小さいなどの特徴を持っている。しかし反面当時においては、Si 表面安定化技術が十分に確立しておらず、特に Si と SiO_2 （シリコン酸化膜）界面に存在する界面準位密度が非常に高く、ゲート電極から電圧を加えてチャネル電流を制御する MOS トランジスタの特性は不安定なものであった。それでもその後長期に渡って探求された結果、その原因が SiO_2 膜中のアルカリイオンなどの可動イオンや、また Si- SiO_2 界面現象によることなどが次第に明らかになり、その制御方法を確立してゆくことで、1964年頃からようやく MOS トランジスタの本格的な実用段階に入ってゆく。以降は急速な実用化が進み、トランジスタというよりむしろ一挙に IC、LSI へと大きく展開してゆき、1965年には MOS・IC、1968年には MOS・LSI が生産され始め、後年、バイポーラにもまして大規模な実用展開をもたらすことになる。

半導体表面に電界を加えて半導体の伝導度を変える原理は、古くは1926年のリリーフェルドの特許（前稿、『半導体のはなし6』に記載）や1952年のショックレーが報告した接合型電界効果トランジスタなどがある。前者は金属と半導体のショットキー接合に、そして後者は pn 接合に逆バイアスすることで電気伝導度を変調する方法である。リリーフェルドのデバイスは実現することはなかったが、ショックレーのデバイスは1953年にショックレーと同じベル研究所のデシーとロスによって試作されている。この接合型電界効果トランジスタは今でも採用されており、基板極性と同一の極性であるソースとドレインで構成され、その間の基板表面に反対極性の拡散層からなるゲートを設けゲートと基板間に pn 接合を形成したものであり、pn 接合に逆バイアスを印加することで基板内に空乏層が拡がり伝導度を変えるものである。そして、この原理を発展させたものが、前記の MOS トランジスタである。接合型電界効果トランジスタに比べて MOS トランジスタは Si 基板のより表面を反転層として電流を流すため、Si 表面の界面準位などの影響を受けやすく、表面安定化技術を要するが、金属電極に加える電圧と絶縁膜厚の設定により Si 表面に誘起できるキャリア（電子や正孔）量を大きく調整でき、より大きな駆動能力を得られる利点と、極浅い表面のみ電流パスとして用いるためソースとドレイン間（チャネル領域）をスケールリング（縮小）し易い利点を併せ持つことで、現在

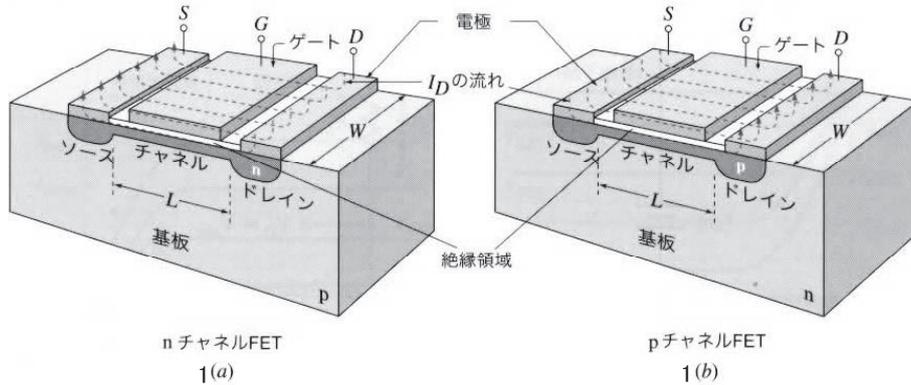


図1 MOS トランジスタの模式図 『半導体デバイスの基礎』 より

のトランジスタの主流となっている。

MOS トランジスタの特許を考案したのは1960年、ベル研究所のカーング (Dewon Kahng) とアタラ (M.M.Atalla) である。原理的には基板極性と反対極性のソースとドレインをもち、その間の基盤表面に絶縁物 (SiO_2 膜) を介して金属電極から電界を加えると、絶縁膜直下の10~100Åの基板表面層が基板極性と反対極性 (ソース、ドレインと同じ極性) に反転し、電界の強さによってその領域の伝導度が変わることを利用した電界効果型のトランジスタである。絶縁膜を介して Si 表面に電界を加えて反転層を形成しソースとドレインとの間の導通を図る方法はこの発明が最初のものになる。

III MOS トランジスタの簡単な動作原理

MOS トランジスタ動作の定性的、定量的な解釈は後の稿で触れることにするが、MOS トランジスタのデバイスとその動作のイメージを掴むために、以下に MOS トランジスタの動作概略を『半導体デバイスの基礎』著者 B.L. アンダーソン、R.L. アンダーソン、訳者 権沢宇紀を参考にして述べる。

図1に MOS トランジスタの模式図を示す。3つの端子があり、それぞれソース (S)、ドレイン (D)、ゲート (G) と呼ばれる。ソースからドレインへ電氣的に導通する“チャンネル”が存在する。ゲートはチャンネルの上部に設置され、電氣的にはチャンネルと絶縁されている。ソース電位を基準にし、ゲートに印加する電圧 V_{gs} によって絶縁部分の電界に変化を与え、チャンネルの導通を制御する。図1aの MOS トランジスタは、ソースとチャンネルとドレインが n 型であり、これらが p 型半導体基板上に形成されている。このデバイスは n チャンネル MOS トランジスタ (NFET) である。一方、図1bに示してあるのが、ソースとチャンネルとドレインが p 型で、n 型基板上に形成される p チャンネル MOS

トランジスタ (PFET) である。

両方のデバイスとも FET と基板の間に pn 接合が存在し、実用時にはこの接合に順方向バイアスが印加されることはない。このため、ドレインからの電流はチャンネルのみを通過してソースに流れ、基板には流さない仕掛けになっている。また、IC 以降、複数のデバイスが同一チップに形成されるが、複数の MOS トランジスタが同じ基板上に形成されても、それぞれの接合が順方向にバイアスされない状態に保たれているため、トランジスタ同士も互いに電氣的に独立な状態が保たれる。ゲート電極は絶縁膜を介して設けられているため、ゲートに電圧を印加することによって生じる電界が、チャンネルの導電性に影響を与えるが、ゲート自体は直流電流を流さない。チャンネル内のキャリア (電子もしくは正孔) は基板に流れ出ることもなく、ゲートへ流れることもなく、チャンネル内に閉じ込められている。適当なバイアス条件の下で、これらのキャリアはソースとド

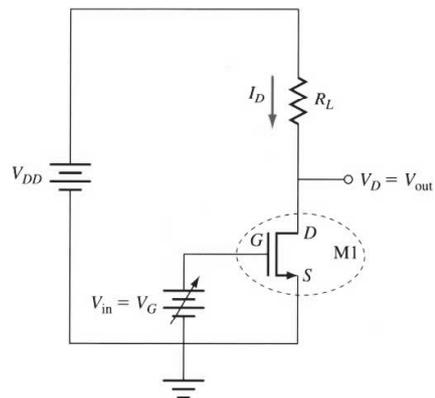


図2 MOS トランジスタを用いた単純な回路 (インバータ回路) 『半導体デバイスの基礎』 より

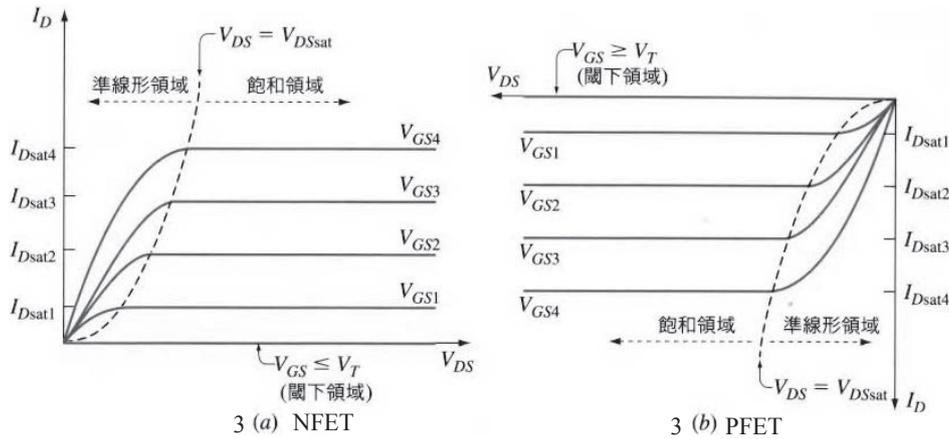


図3 MOS トランジスターの典型的な I_d - V_{ds} 特性『半導体デバイスの基礎』より

レインの間を流れ、チャネルに電流が生じる。この電流はドレイン電流でもあり、チャネル電流、ソース電流でもある。nチャネルFETの場合、チャネルにおけるキャリアが電子であり、ソースに対するドレイン電圧は正である。電子はソースからドレインへ流れるので、電流はドレインからソースに流れることになる。pチャネルFETの場合、キャリアは正孔である。ソースを基準としてドレイン電圧は負である。従って正孔はソースからドレインに向かって流れ、電流はドレインからソースに流れることになる。

MOS トランジスターを用いた簡単な回路の一例を図2に示す。ドレイン供給電圧 V_{dd} は負荷抵抗 R_L と直列になっており、チャネルによってドレイン D とソース S が繋がっている。この回路図においてソースは接地されているので、ソースを基準にして V_{gs} 、 V_{ds} が MOS トランジスターに印加されることになる。チャネルにおける電子密度はゲートへの入力電圧 $V_{in} = V_g$ によって制御される。この回路の出力電圧は $V_{out} = V_d$ である。キルヒホッフ (Kirchhoff) の電圧則により出力電圧 V_{out} は、 $V_{out} = V_{ds} = V_d = V_{dd} - I_d \cdot R_L$ となる。 $I_d = 0$ になるような V_g の下では $V_{out} = V_{dd}$ となり、他方 I_d の値が非常に大きくなるような V_g の下では $V_{out} \sim 0$ となる。 V_g がこの両者の中間的な値であれば $0 < V_{out} < V_{dd}$ である。デジタル回路では V_{in} に I_d がゼロになる“ロジックの Low 状態”の信号と I_d の値が非常に大きくなる“ロジックの High 状態”の信号の、2 値の信号を入力することにより、出力 V_{out} が V_{dd} レベル“ロジックの High 状態”、ほぼゼロレベルの“ロジックの Low 状態”の 2 値の信号を出力することで信号伝達するしくみになる。また、アナログ回路では V_{gs} に小信号のある狭い範囲での V_{in} が入力され、 $0 < V_{out} < V_{dd}$ の中間的な V_{ds} が出力されることで、入力信号 V_{in} の大きさに比べて大きな V_{out} が出力することで増幅器としての働きをする。

図3に典型的な NFET の電気特性を示す。異なる制御電圧 V_{gs} の設定の下で、チャネルを流れる電流 I_d を、チャネルにかかっている電圧 V_{ds} の関数として示している。FET の動作領域は線形領域 (sublinear region)、飽和領域 (saturation region)、しきい下領域 (subthreshold region) の 3 つに区分される。しきい下領域は横軸近傍の $V_{gs} \leq V_T$ と記した領域である。しきい値電圧 V_T は、チャネルに有意の電流を流すことのできる最低の V_{gs} の値と定義される。このしきい値に満たないゲート電圧の下では、 V_{ds} の値の大小とは殆ど無関係に I_d が極めて小さい値を保ち、この時の電流をゼロと見なして扱うことが多い。すなわち、 $V_{gs} < V_T$ のときの I_d - V_d の曲線は、グラフの横軸にはりついた直線状態になる。ゲート電圧 V_{gs} がしきい値を越えると、チャネルに電流を流すことができる。

次に、 V_{gs} をしきい値以上 $V_{gs} > V_T$ に設定した、ひとつの V_{gs} の条件下での I_d - V_{ds} 曲線を見ると、 V_{ds} の増加に対して、 I_d は始めのうちは線形的に増加し、やがて I_d が飽和値に達することが判る。この I_d の飽和値を I_{dsat} 、この電流飽和に到達したときの V_{ds} を V_{dssat} としたとき、これらは両方とも FET の特性とその時印加してあるゲート電圧 V_{gs} に依存して決まる。 $V_{ds} > V_{dssat}$ の領域は“飽和領域”と呼ばれ、 $V_{ds} < V_{dssat}$ の領域は“線形領域”、もしくは“三極管領域”とも呼ばれる。図3aの破線は飽和領域と線形領域を分ける境界線であり、ゲート電圧が高いほど I_{dsat} 、 V_{dssat} の値も大きくなる。図3bには PFET の特性を示してあるが、PFET では、負の V_{ds} の下で正孔がソースからドレインに流れ、 I_d を流すために、ゲート電圧をしきい値以下にする (負方向に、より高い電圧をかける) 必要がある。

これらの FET の電流電圧特性を理解するために、図4aに2つの深い湖を繋ぐ狭い水路がある状況を想定する。湖

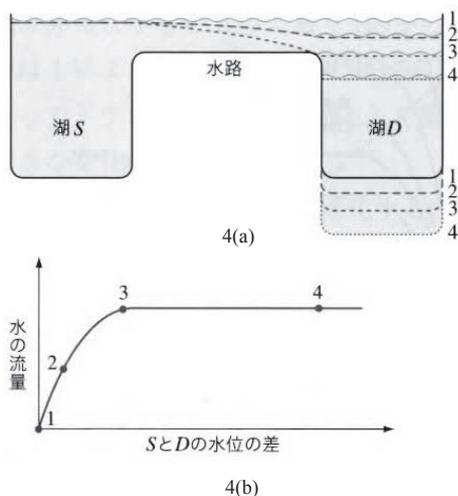


図4 MOS トランジスターの動作を類推するための湖と水路の模式図 『半導体デバイスの基礎』より

の底の高低は、位置に依存する電子のポテンシャルに対応し、水深は電子密度に対応する。左側の湖 S (FET のソースに見立てる) の深さは一定と考える。水路の深さは一定 (FET では V_{gs} 一定の状態) での時を仮定する。右側の湖 D (ドレインに見立てる) に関して、4 通りの状態を示してある。状態 1 の場合、D の水面は S の水面と同じ高さであり、湖の間に水の流れは生じない。この状態は、水流と水面の高低差の関係を示した図 4b において点 1 として表される。水面の差がゼロであれば水流はゼロである。状態 2 では D の水面がわずかに S の水面よりも低く、S から D への水の流れが生じる。状態 3 は D の水面が水路の底と同じ高さとなった状態である。状態 2 よりも水路における水面の勾配が増しているため水流も増加している。しかし、状態 4 のように D の水面がさらに水路の底より低くなっても、水路の水面の勾配はそれ以上に影響を受けない。水路における水面の勾配によって水流が決まるので、水流に量は状態 3 の値で飽和する。D の水面がさらに下がり続けても、水流は一定値を保つ。状態 3 以降の水流を増加させるためには水路の深さを深くする必要があり、FET では V_{gs} を大きくすることと等価になる。FET のソースとドレイン間の電位差 V_{ds} がチャネルを流れるキャリア (電子、正孔) に及ぼす挙動は、湖の高低差が水路の水流に及ぼす挙動とほぼ同じように考えられることを表している。

MOS トランジスターを可能にした Si 表面安定化技術の進歩

Si 表面に極浅い反転層を形成して伝導調整する MOS ト

ランジスターを工業的に生産するためには、Si 表面安定化技術が不可欠であり、この安定化技術は Si ウエハの純度向上、生産ラインのクリーン化、Si デバイス表面に侵入してくるアルカリ金属をブロックする保護膜の開発、そして如何に界面単位の小さな Si ウエハ基板を使用するかなどが初期の半導体工業の中で確立されてゆく。前稿までに Si ウエハの純度向上や生産ラインのクリーン化などのついてはすでに触れているため、この項では保護膜技術、界面制御技術について触れてみる。



伴野正美

この 2 つの技術に力を発揮したのが日立製作所 (以降、日立と記載) の徳山巍と大野稔の 2 人である。徳山が表面保護膜技術として LTP (Low temperature passivation) 技術を開発し、大野が界面制御技術として Si 表面の界面単位が最も小さい結晶方位が $\langle 100 \rangle$ であることを見出し特許出願している。これらの技術は、MOS トランジスター特性の安定化に大きな役割を果たしている。以下、工業調査会発行 大内淳義、西澤潤一 共編『日本の半導体』を参考に日立での半導体事業と徳山の LTP 技術から触れてみる。

日立は重電機産業を基幹産業としていたが、ベル研究所におけるトランジスター発見後の 1950 年代に電子産業に乗りだしている。当時の日立には、重電機会社がなぜそのような小さな部品を作らなければならないのかと思う幹部は何人かいたようである。日立の半導体開発の先駆者となるのが伴野正美である。伴野は 1938 年に日立に入社し日立工場に配属されるが、ソニーの井深や日本電気の長船らのようなラジオ少年でもなく東京大学理学部理学科を卒業するまで半導体に対する興味も知識も持ち合わせていなかった。入社後に与えられた計測用ブラウン管に使用する蛍光体の研究というテーマをこなして行く過程で蛍光体の材料である珪酸化亜鉛系の半導体物質に面白さを感じたのが、半導体が伴野のライフワークとなるきっかけとなったのである。入社 1 年後に日立研究所に異動し、2 年目の 1935 年に半導体製品であるセレン整流器の研究へと次第に半導体へ乗り出してゆく。1937 年に中央研究所が新設されるとともに移転し、ここでは炭化シリコンの単結晶を使い増幅作用へのチャレンジまで行うようになる。このチャレンジは成功することはなかったが終戦後の 1948 年にベル研究所におけるトランジスター発明が『フィジカル・レビュー』誌に発表されると、その重要性を直ぐに受け入れられる土台作りの役割を果たしている。しかしながら、当時ゲルマニウムの単結晶が入手できず、トランジスターの研究着手には至ら



徳山 巍

.....
 なかった。伴野はその後モセレン整流器などの研究を続け、その研究成果を物理学会などに報告している。伴野が中央研究所でゲルマニウムのトランジスタ研究を手がけたのが1952年になってからである。この研究をテーマとして掲げようとするが一部の幹部から重電機会社でやるような研究ではないとの意見がでて特殊半導体の研究という題目で研究を開始し、正式にトランジスタの研究と掲げたのは1953年からである。1954年には単結晶も作れるようになり、これを用いて点接触型トランジスタの試作を開始している。この年にアメリカのRCA社との間にトランジスタの技術援助契約が成立し、第1号の実習員として渡米している。日立は、このRCAとの技術援助契約で本格的に半導体事業に乗り出してゆく。翌年の1955年にはPNPトランジスタを製品化し、研究所内にトランジスタ製造部が作られている。事業が本格化するに従い、研究所では手狭になり、半導体専門工場として武蔵工場が中央研究所の近くの小平市にトランジスタ研究所の名前（翌年に武蔵工場と改名）で作られ、トランジスタの量産体制が出来上がる。伴野は1962年に設計部長として武蔵工場に移りメサ型トランジスタの開発を手がけている。1965年には武蔵工場長となり、1973年に日立の電子事業本部長を退任し、系列会社の日立電子エンジニアリングに移るまで日立の半導体事業の先導役としてトランジスタからMOS・LSIの開発・量産に尽力している。

このようにして伴野が中心となって築かれた日立の半導体事業が築かれて来ているが、伴野が中央研究所でトランジスタを手がけてから一年後の1953年に徳山が東京大学工学部計測工学科を卒業し、日立に入社、伴野の直属の部下となる。徳山が伴野から命ぜられた最初の仕事は、ゲルマニウム単結晶の少数キャリアライフタイムの測定である。伴野らが漸く真空電気炉中でCZ法を用いて直系1センチのゲルマニウム単結晶を引き上げるのに成功した時期である。この頃、日立に限らず、日本での研究者達は外国からの情報を頼りに実験が行われていた。ライフタイムの測定もベル研究所のショックレーとヘインズによって2年前の『フィジカル・レビュー』誌に報告されており、半導体について全く知識のなかった徳山は、この手法を使うことにする。棒状に成形した半導体の両端に直流電圧を加え電界をつくり、その上流から針電極によりパルスで少数キャリアを注入し、下流に立てた針を逆バイアスしてこれを捕集

する手法である。針の間隔を変えて少数キャリアのパルスが到達する時間を測定すれば、ライフタイムと移動度が測定できる。実際に実験を開始しようとするするとパルス発信器もシンクロスコープも全くなく、徳山が全測定回路を自作しており、測定においては更に工夫し、この測定の他に、光のキャリアを注入し、その拡散距離をも測り、両手法を比較し大体一致することも調べている。この仕事が徳山にとって初めての半導体に関する研究となる。1957年～1961年頃の伴野研究室では、ようやく研究らしい仕事ができる設備や人的リソース面で環境が整いつつあり、ゲルマニウム合金接合型トランジスタの研究を手がけている。この一連の仕事の中で徳山はゲルマニウム合金接合の降伏現象を研究し、1962年にそれらの成果として、『ソリッド・ステート・エレクトロニクス』に「ゲルマニウム合金接合のツエナー・ブレイクダウン」、『JJAP』に「ゲルマニウム合金接合のマイクロプラズマ」の2件が掲載されている。この論文を契機にPN接合の降伏現象についての知見を深め、通信学会の稲田賞を受賞し、前記した渡辺寧、西澤潤一主催の「第一回半導体専門講習会」で、ダイオードの降伏現象についての講義を行っている。

III LTP 技術の発明

1962年頃、それまでゲルマニウム (Ge) トランジスタを研究していた徳山は、その信頼性向上を目的に表面保護の材料として従来のレジンの材料に代えて、シリコンで成功を取め始めた二酸化シリコン (SiO₂) を Ge トランジ

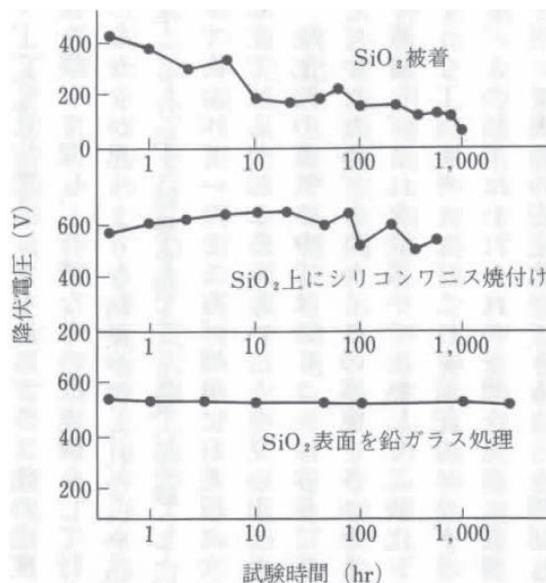


図5 高温高湿中におけるダイオード降伏電圧の変化 (電気化学, 35, p71 (昭和 42)) 『日本の半導体開発』より

スターにも使用できないかと考える。Si トランジスターでのプレーナプロセスと同じものがGe トランジスターに応用できないかと考えたのである。当時、トランジスターはGe からSi への移行期であった。Ge の融点は960℃前後でやや低いことから、比較的低温でSiO₂の表面保護膜を形成する方法の研究を開始する。たまたま、エレクトロケミカル・ソサエティ誌の投書欄に徳山と同様に、Ge の表面にSiO₂膜を被着することを狙っていた報告が載っているのが目にとまり、原料としてTEOS (テトラ・エトキシ・シラン) を用い、その熱分解を700℃前後で行い

SiO₂膜とした事実を知る。たまたま、この材料が日立武蔵工場の片隅にころがっていたのを貰い受け、この投書欄の内容の追試を開始する。石英管にニクロム線を巻いた簡単な熱分解炉を作り、最初目的としていたGe トランジスターではなく、Si のメサ型ダイオードに保護膜として付けてみることにする。当初の目的としていたGe ではなくSi のメサ型ダイオードについておこなわれたのは、当時素子開発の方向はすでにSi 素子に向きかけており、あえてGe に戻り、この研究をする段階ではなかった為である。図5の一番上のプロットが、表面にこの手法でSiO₂を付け、その後高温高湿中に放置した時のダイオードの耐圧の放置時間変化を示す。結果はさんざんであり、予想以上に劣化が早く、徳山はSiO₂に膜形成中にクラックなどの欠陥が入ったためでは無いかと考える。実際には顕微鏡観察でクラックは観察されなかったが、このクラックの影響をシリコンワニスで焼き付けて防止できないかと考えて試みたのが図5の中央のプロットである。数10時間後に特性はがたつくが、SiO₂のみの場合より大幅に改善され、SiO₂の上に何らかの第2の膜を形成することが安定化に繋がることを見出す。徳山は当時、この第2の膜の効果はSiO₂膜にあるクラックなどの“目つぶし”の効果と考え、その手段として何らかの第3の材料の助けを借り、低温処理の制限のもとでSiO₂をいったん溶融し、再固化する方法を思いつく。徳山はGe 素子をインジウムとの合金反応でつくることをこの前の数年間担当してきていたので、この場合にも、同種の合金反応でこのことができると思い、不純物として害を与えず、合金化温度の低い組み合わせを探し続ける。なかなか思うような結果が得られないでいたある日、実験助手をしていた上原敬二が石英板の上に鉛の粒を乗せ、バーナーで炙っていたところ、簡単に石英板に穴が開き、溶けた鉛が落ちてしまうと言う失敗をし、この失敗から、鉛によりSi がかなり低温で溶融することを見出す。酸化鉛の蒸気の中ではSi は容易に数100度で加速酸化が起こる事実を文献

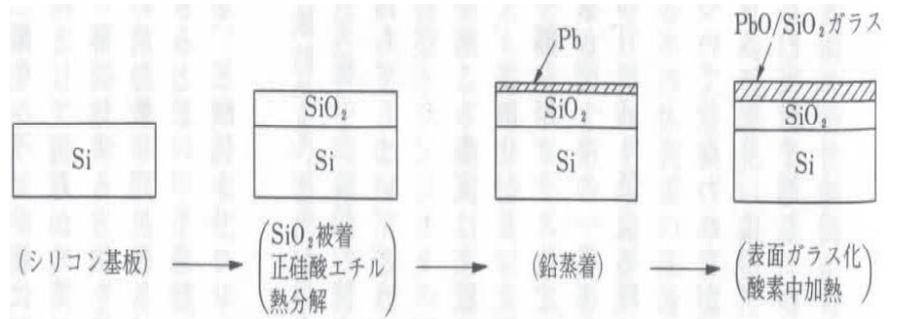


図6 鉛を用いたSiO₂表面ガラス化処理の系統図
(信学誌, 49, p1335 (昭和41))『日本の半導体開発』より

で承知し注目していたため、早速、この事実を応用を実施する。SiO₂膜の上に鉛を薄く蒸着し、これを酸素中で過熱してSiO₂膜の表面の一部を鉛ガラス化するという図6のような工程を考え、前記メサ型ダイオードに適用した結果が図5の一番下のプロットである。この結果は徳山の予想を見事に裏書するもので、最初の目標通り低温処理で、無機物の膜を用いて表面の安定化ができることを確認したのである。

当時、不純物分析装置などがなかったために、保護膜として付けたSiO₂膜中を水分やナトリウムイオン(Na+)などアルカリ性の可動イオンが容易に侵入し拡散や電界によるドリフトが起こりやすい事などを推測することは容易なことではなかった。これらの水分やイオンなどがSiO₂中に含まれる鉛やボロン(B)、リン(P)などに捕獲され不活性化されることや窒化珪素(SiN)膜の様な緻密な膜では通り抜けられないことなどは、この徳山らの研究をきっかけに低温で形成した多層膜による半導体表面の保護(LTP)という考え方に焦点が絞れた段階で各国で活発におこなわれてゆくことで明らかになってきた事である。LTP法にやや遅れてIBM社がリンの高濃度拡散でSiO₂の表面を処理することの有効性を見出し、更に徳山らのグループやベル研究所のグループによるアルミナ膜とSiO₂膜の2層膜などが矢継ぎ早に報告される。今日広く使用されているリングラス膜、ボロンガラス膜やSiN膜などを用いた、いわゆる多層膜構造による半導体表面の保護という考え方の基本をなすものであり、これらの技術により、Si表面に侵入してくる可動イオンが大幅に減少し、MOSトランジスター実用化のための表面安定化技術の一翼を担っている。

この保護膜を低温で形成する技術は、その後、原料としてモノシラン(SiH₄)などの高純度材料が容易に得られるようになるとともに1970年代後半からはプラズマCVD技術が確立され作ることなどにより、300℃程度までの低温化が図られてきている。この温度はSiチップ上に形成される

アルミニウム配線の融点以下の温度であることから、配線の多層化における層間膜技術にもつながり、配線多層化によるSiチップの縮小化、高性能化をも可能にしている。

既に設計部長として武蔵工場に異動していた伴野はこのLTP技術をトランジスターに適用したLTPトランジスターを積極的に商品化する。最初はLTP法をSiメサ型トランジスターに適用する。その後、Siプレーナ型トランジスターが製品化されるに及んで、LTP法を用いればプレーナ型トランジスターの特性（特に雑音）が大幅に改善されることが判り、それを目的とした新しいLTP法が開発され、低雑音トランジスターとして大量に市販されて、音響機器のトランジスター化に貢献している。プレーナ技術そのものは、酸化反応によって酸素がSiO₂膜を通してSi/SiO₂界面に達し、ここで基板Siと反応してSiO₂となるため、Si/SiO₂界面に現れる基板Siの表面は、もともと結晶の内部にあった清浄な面であり、外部からの加工によって乱されていない面であり、それまでの再現性のなかった表面形成技術を一変するもので、特に、SiO₂膜中で電気的に活性となるボロンやリンなどの拡散が遅い事実を組み合わせたプレーナ技術は、その後のIC、LSI、そしてMOSトランジスターを可能にした根幹となる技術である。しかしながら、プレーナ技術にも、その後の開発によって、種々の問題点が明らかになってくる。最も大きな課題はSi基板自体が酸化物と化してしまうため、基板中に含まれていた不純物が同じ割合では酸化物の中に含まれず、界面で再分布してしまうこと、SiとSiO₂の熱膨張率の差による界面でのひずみ発生、酸化プロセス自体の汚染混入などである。これらの問題を解決する方法として、LTP技術は有効に働いたのである。しかしながら最もこの方法が採用された理由は、この方法で作られるトランジスターが前稿に記載したフェアチャイルド社のもつプレーナ特許に抵触しないことである。前稿に記載したフェアチャイルドとNECとの間の特許契約により、NECは国内他社にプレーナ特許を5%の特許料で使用契約することを持ち掛けており、この特許を回避できることは特に大きな効果であった。

徳山は1964年になると、LTP技術の研究を進めながらイオン打ち込みの研究を開始する。この技術は、この時点から10年以上遡った1950年にはベル研究所のオールヤパデュー大学のラーク・ホロビッツら、東北大学の西澤潤一、渡辺寧らからイオン打ち込みの原型についての出願がなされている。そして、1954年にジェネラル・エレクトリック

社（GE）のモイヤー、ベル研究所のショックレーがそれぞれ今日のイオン打ち込みそのものの内容の出願をしている。しかしながら、本格的に学会で報告されてくるのが1965年頃からであることを考えると、各社とも徳山が検討開始した1964年頃から本格的に半導体への応用が研究され始めたと言ってよい。イオン打ち込み技術については改めて別稿にて触れることとし、ここでは徳山が経験した研究の中の一つの技術紹介とする。徳山はMOSトランジスターのしきい値電圧を制御するための低濃度不純物ドーピングへの適用技術を1970年代前半に確立し武蔵工場に技術移管している。その後、バイポーラトランジスターのベース部やMOSトランジスターのソース、ドレイン拡散層形成のための高濃度のイオン打ち込み技術の研究やイオンビームデポジション技術の研究に重心を置くようになる。高濃度のイオン打ち込み技術は1979頃までに量産技術として確立している。一方、イオンビームデポジションは、低温でGeやSiで低温のエピタキシャル成長を実証し、1980年のIBMM会議に招待されている。しかしながら、低エネルギーで物質形成に必要な量のイオン電流を高真空のもとで輸送する必要があり技術難易度が高く、実使用に至らず、徳山自身はこの研究に満足することはなかった。徳山は1987年に日立中央研究所を去り、筑波大学理工学系教授に就任し、その後も非晶質シリコンの構造緩和など、固層エピタキシャル成長の基礎を研究を続け、生涯を純粋な半導体研究に捧げている。根っからの研究者なのである。

（文中、敬称を略させていただきます）

参考文献

1. 日刊工業新聞社発行 城阪俊吉 著『エレクトロニクスを中心とした年代別科学技術史—第2版—』
2. シュプリングー・ジャパン株式会社発行 B.L. アンダーソン、R.L. アンダーソン 著、樺沢宇紀 訳『半導体デバイスの基礎』
3. 工業調査会発行 大内淳義、西澤潤一 共編『日本の半導体』

次回

第12回 半導体の歴史 —その11 20世紀後半 集積回路への発展(6)—