



**三次元実装を可能にする  
Paper Thin Package**  
浅田 順一 (株)東芝セミコンダクター社

**1. はじめに**

電子機器の小型化により、半導体パッケージは更なる小型化を要求されている。携帯機器の普及に伴いこの傾向は加速されている。パッケージの小型化の方向としては、実装面積の縮小と薄型化という2つの方向で開発されてきた。

実装面積縮小の方向では、CSP (Chip Scale Package) によりチップサイズとほぼ等しいパッケージが実現されている。一方薄型化の方向では、単体パッケージとしては取り付け高さ1mm以下のパッケージが各社で開発されている。今後チップ研削技術の進歩により50 $\mu$ m程度の厚さでのチップ供給が可能になることでパッケージの薄型化が飛躍的に進歩すると考えられる。

薄型チップを用いた0.2mm程度以下の厚みを持つ超薄型半導体パッケージをPTP (Paper Thin Package) と呼ぶ。従来の薄型パッケージであるTSOP (Thin Small Outline Package) が実装高さ1.2mmであるのに対してPTPは0.13mmであり、重量も約1/10と、世界で最も薄く、軽いパッケージを実現している。0.13mmという厚さは名刺の厚さ(約0.2mm)よりも薄く、コピー用紙(約0.1mm)よりも厚い寸法である(図1)。PTPは三次

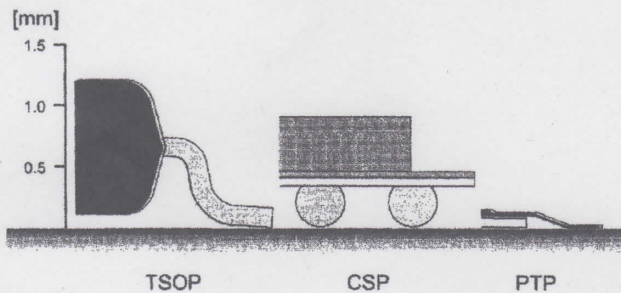


図1 PTPの厚さのイメージ  
厚

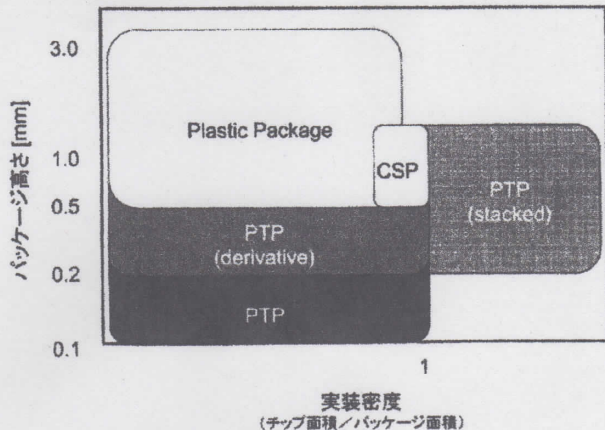


図2 PTPの概念

元に実装すると約1.0mmの高さに最大8ユニットを積層でき、従来パッケージと比較してはるかに実装密度が向上する。

CSPが平面的にパッケージサイズを縮小する概念であるのに対して、PTPは高さ方向を含めたパッケージサイズを縮小する(図2)。PTPは上記の三次元実装用ユニット以外にも単体パッケージとして使用できる。

以下では、PTPの基礎技術となる新しいチップ薄型化技術と、アプリケーションとして三次元実装技術、0.15mm厚のICカード技術、切手をイメージした新しい概念のパッケージについて紹介する。

**2. 薄型チップの製造技術**

PTPの実現に不可欠な技術は、薄型チップの製造技術である。これは「先ダイシング技術」と呼ぶ技術で実現可能である。先ダイシング技術は従来の裏面研削とダイシングの工程の順序を入れ替えたもの(図3)である。従来の工程ではウェーハを薄く削ってからダイシングしてチップに分割していた。しかし薄く削ったウェーハは割れやすく、ダイシング時にチップ裏面の周辺にチッピング(チップ欠け)が生じやすくなる。これに対して先ダイシング技術では、まずウェーハのダイシング(ハーフカット)を行う。これに表面保護テープをラミネートし、グラインダによる裏面研削を行う。研削を開始した時点ではダイシングの切り込みのない面を研削するが、削り込んでゆくと最初の工程で設けたダイシングの溝に至り、その時点でウェーハがチップに分割される。

これをリングフレームに貼り付けたテープにマウントし、表面保護テープを剥離すると通常の裏面研削工程、ダイシング工程を経たものと同じ状態になる。

先ダイシング技術では従来の工程と違って「薄くて大きいウェーハ」をハンドリングする必要がない。研

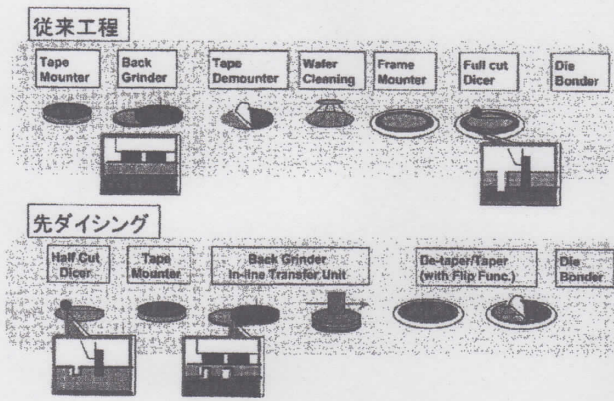


図3 先ダイシングプロセス

削中のウェーハはグラインダに固定されており、研削が終了した時点でチップ個片に分割されているからである。このため従来工程を使ってウェーハを薄く研削するときの問題点であるウェーハ割れが発生しない。従来工程のφ8インチウェーハの研削限界は200μm程度であるが、先ダイシング技術を用いると50μmまでの薄型化が可能である。

### 3. 薄型パッケージの適用

#### 3-1. 薄型パッケージと積層技術

三次元積層パッケージでは、チップを積層してパッケージに収めるものと、単体パッケージを積層するものが考えられる。チップを積層するタイプのパッケージにはKGD (Known Good Die) の問題があり、積層後としての歩留まりを落とす。また積層したチップの電極取りだしの為の技術が必要であるため多数個の積層には不向きである。一方、パッケージを積層するタイプの場合、これらの問題はクリアできるが、「制約された高さに、いかに多くのパッケージを効率良く積層するか」を考慮すると単体の薄いパッケージの開発と積層実装技術を開発することが必要だった。

この問題に対して三次元実装用のユニットになるPTPとその積層技術により対応できる。PTP単体の厚さは0.13mmで従来のプラスチック・パッケージやCSPに対して約1/10と極めて薄くなっている。また、これを4段に積層実装したStacked PTPの実装高さは0.52mmである。この技術により既存のCSPに対して約4倍の実装密度(チップ面積をパッケージ面積で割った値)が実現できる(図4)。

このPTPのパッケージ構造はTCPと類似の構造である。TABテープの打ち抜き部にチップを搭載し、テープから導出されたリードにシングルポイントのILBを行う。この上にILB保護の為にごく薄く印刷により封止を行う。チップは「先ダイシング技術」により50μm

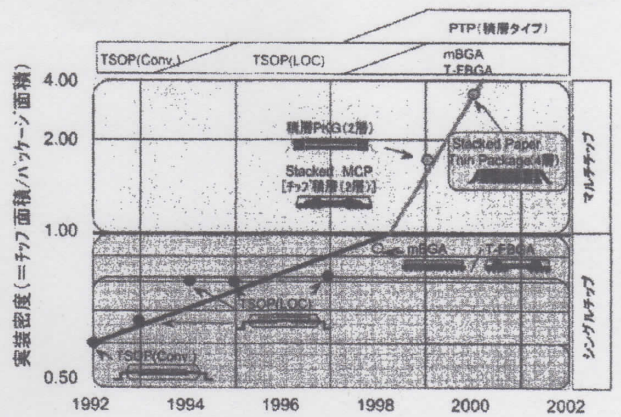


図4 Stacked PTPのロードマップ

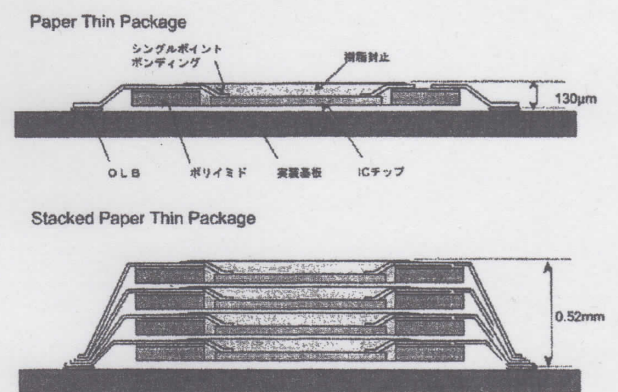


図5 Paper Thin Packageの断面構造

の厚さとし、PTPの総厚さは0.13mmになる(図5)。

積層はTABのOLB技術が使用できる。積層したPTPの各リードを独立して基板に接続するためにPTPをずらして実装する技術と、積層される上下PTPのリードを重ねて実装する方式が考えられる(図6)。

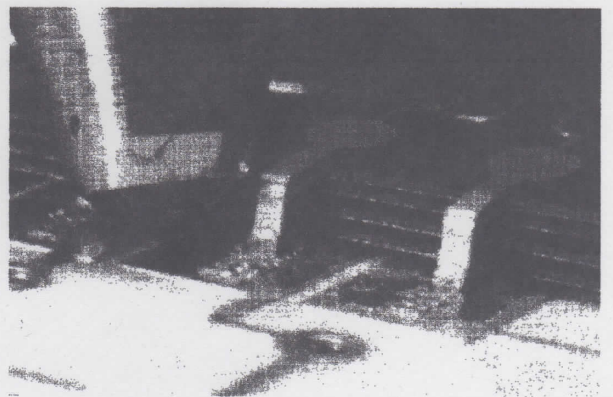


図6 Stacked PTP

これらのPTPと積層技術を、例えば256M Flashに適用して4パッケージ積層することにより、1Gbitのスマートメディアが実現できる。

### 3-2. 非接触ICカード実装技術

近年非接触ICカードをテレホンカード、定期券やTAGに適用する動きが急速に進んでいる。これらは全て磁気カードやバーコードより多くの情報を持たせたり、セキュリティーを向上させたりする動きであり、現在のアプリケーションと同等の厚さ、コストが求められている。ちなみに現在の定期券カードは0.2mm、テレホンカードは0.25mmであり、これらよりも薄く、ローコストでICを実装する技術が必要である。

ここで、ICの厚さを50 $\mu$ mまでにし、アンテナ回路基板内にICを埋め込み実装する技術により、総厚0.15mmの薄型非接触ICカードが実現できる(図7)。



図7 ICカード

### 3-3. 新しい概念のパッケージング技術

PTPは全く新しい半導体用途を生み出すためのパッケージング技術にもなる。

従来のパッケージは、高耐熱性・高信頼性という固定概念から非常に高価な材料を使用するため、製品としてのコストは非常に高いものとなっていた。そこで、低コストをコンセプトとしてインターポーザにPETを使用したPTPを開発した。パッケージの高さは0.12mm~0.13mm程度で、これをユニットとして積層することも可能である。

構造はいたってシンプルでPET基材にアルミを接着してあるシート(菓子袋のイメージ)に配線パターンを形成し、50 $\mu$ mまで薄くしたチップをフェースダウンで搭載する。チップとシートとの接続には異方性導電材料を使用し、接続・封止を一括して行う(図8)。

材料としてPETを使用しているためリフローでの実装は不可能であるが、逆に常温での実装(接着)にこだわり、特殊用途向け低価格ICの分野を模索している。

たとえば、無線TAGの機能をもたせ名刺に貼る、写

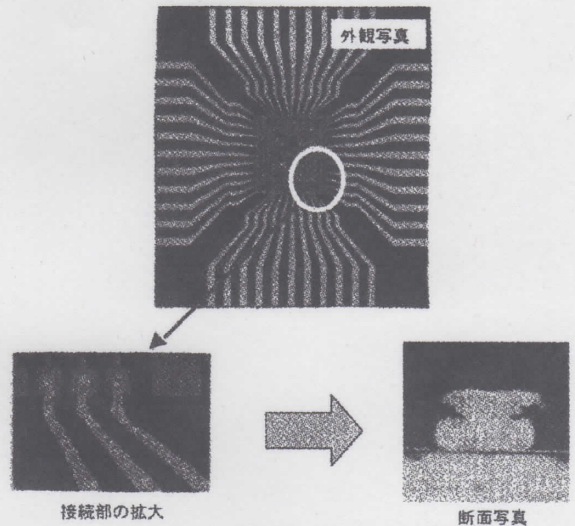


図8 Laminated PTP (L-PTP)

真シールとして貼る、相手側基板に同じPET材を使用し接着剤で貼る(リード間のみ接着剤を残し配線同士を押し付ける)、薄い事を利用して曲面に貼る(コップに貼る、ペンに貼る)等、これまで考えつかなかった分野への半導体使用を促すことを目的としている。(図9)。

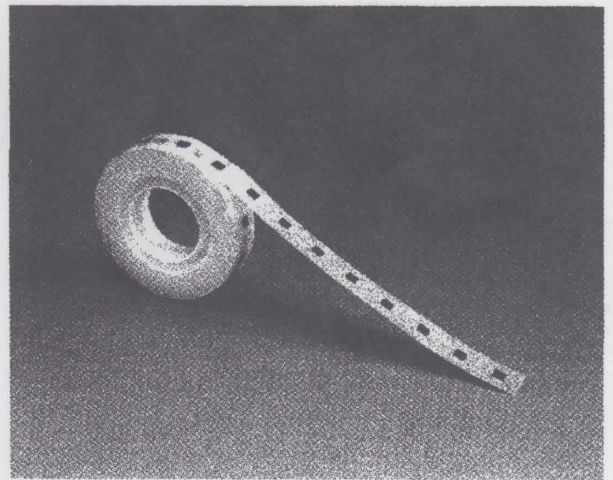


図9 PTPの応用

## 4. おわりに

紙のように薄いパッケージの応用と、積層技術を組み合わせて実装密度向上の観点から薄型パッケージの特徴を示した。今後の展開として実装密度向上の点から、ウェーハレベルの三次元積層や基板内でのチップ三次元積層等、シリコン、パッケージ、実装の区別のないシステム全体として有効な方向で開発が進んでいくと思われる。これらに対応した信頼性、発熱対策、システム設計技術、コスト対応等の課題を解決して行く必要がある。