

電子交換機用半導体の開発



向井久和 会員（元NTT LSI研究所 所長）

1. 時代の背景と電子交換機実用化

1960年代は半導体にとって新しい時代の幕開けであったが、それは同時にコンピュータおよび通信システムにとっても変革の始まりであった。1964年にIBMが集積回路を用いた第三世代コンピュータを発表し、通信ではベル研究所がトランジスタを用いた電子式交換機No.1 ESSを開発していた。電電公社電気通信研究所（以下通研の略称を使用する）においても、トランジスタを用いた電子交換機DEX-1の試作研究を行っていたが、新しい時代到来の予測から、集積回路を用いた全電子自動交換機の実用化を推進することが1966年に正式に決まった。実用試作機DEX-2(後のD10自動交換機)である。DEX-2は電磁交換から電子交換に切り替わる交換方式としての変革への挑戦であったが、ハードウェアの要となる集積回路に関しても、国内メーカーも製造を開始したばかりの揺籃期で大型装置での使用実績データはなく、実用化に向けて本格的に注力する必要があった。

DEX-2の構想の構築と平行して、1965年から集積回路の開発の共同研究を日本電気(株)との間でスタートしていた。筆者は回路設計を担当し電子交換機の必要とする高性能と低消費電力、即ち低エネルギー化を狙いとした。なお、電子交換機用部品では信頼性が必須条件であり、初めに別グループが行った高信頼度化の経緯に触れる。

2. 集積回路技術の信頼性確立

信頼性が重視される電子交換機用部品では、20年の寿命の保証が要求された。本質的には高信頼度といわれるSi半導体ではあるが生まれてまだ日が浅く、製造過程等での劣化要因は徹底的に排除する必要があり、通研では、メーカー製品と試作サンプルを使って大量寿命試験や加速寿命試験などを実行した。パープルプレーグによる配線の劣化、ホイスカー発生による配線短絡等の現象の発見や、リード線のボンディング故障・表面劣化等の要因分析結果に基づく改善措置を行うと共に、劣化要因を摘出する試験条

件を検討して認定試験方法の確立に結び付けている。集積回路ケースの信頼性検討も徹底的に行い、当初はDIPケースを金属の密封形式とした。こうした諸施策により200FITの信頼度を確認し、DEX装置への導入を決定している。なお、装置の現場導入後の稼働実績では20FIT以上の高信頼度のデータが得られた。

3. 低エネルギー化の追求 制御飽和型論理回路の創出

1965年当時は、先行する米国の論理集積回路も多種多様で評価も定まらない状況であったので、更なる進化も求めて電子交換機用の標準論理集積回路を開発するスタートを切った。試作製造を日本電気(株)にお願いし、通研は回路形式と設計の検討を行った。

電子交換機の使用環境条件を考慮して雑音余裕度の大きい飽和型論理回路(TTLあるいはDTL)形式を採ることとし、低エネルギー化を目標とした。当時は計算機シミュレーション技術が存在しなかったので、回路アイデアの検証や設計は、半田ごてを使って単体部品で回路を組む所謂ブレッドボード実験の手法で行った。

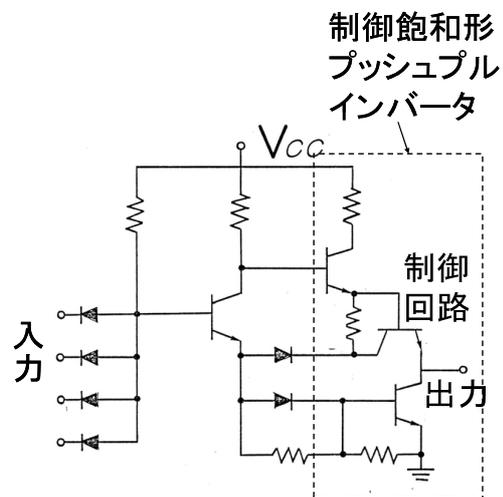


図1 制御飽和形DTLの回路例

アイデア検証の試作を繰り返す中で、出力インバータ・トランジスタをオン時に浅い飽和に制御する着想を得、飽和を制御するフィードバック回路と負荷回路を急速に充放電するプッシュ・プル型出力回路構成とを組み合わせた制御飽和型論理回路 (CSL: Controlled Saturation Logic) のDTL(図1)を1966秋に創出した。

制御飽和型を飽和型と比較すると、図2に実験例を示すように遅延時間が短く、またそのばらつきも小さく、かつ、スイッチング時の過渡的スパイク電流が大幅に低減する。この過渡電流低減は、消費電流低減と共に電源ノイズの発生を減らす効果がある¹⁾。

CSLは電子交換機用標準論理回路に決定され、1968年から電子交換機製造の4社との共同研究で12品種のファミリと標準仕様規格が定められた。

なお、時を同じくしてトランジスタが飽和に入る

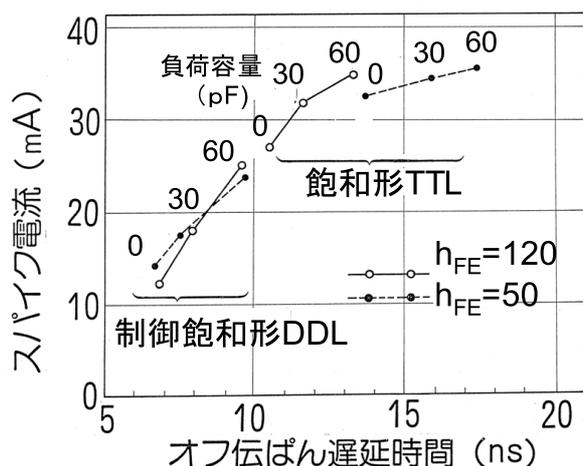


図2 飽和形と制御飽和形の特長比較例

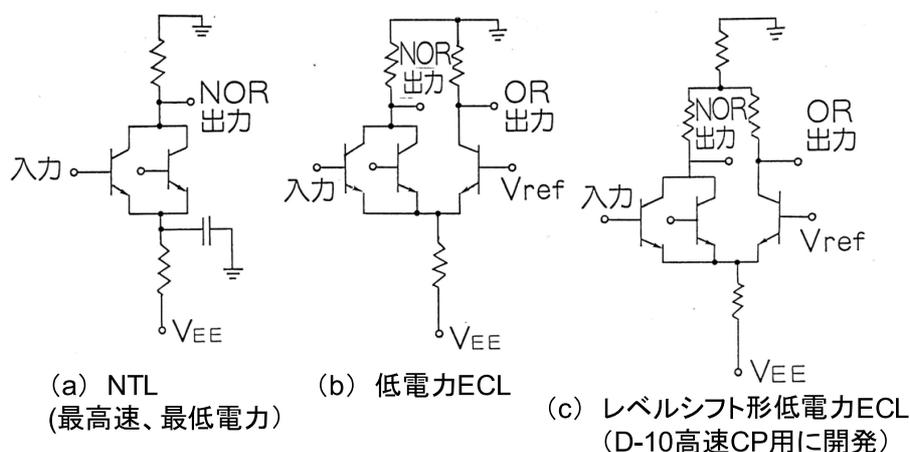


図3 LSI用高速・低電力論理回路の各種

のを防ぐ技術としてトランジスタのコレクタをショットキーバリア・ダイオードでクランプする技術が電総研(現産総研)の半導体研究室で研究されており、1968年のISSCCで筆者のCSLと電総研の垂井康夫室長のショットキークランプのトランジスタが偶然並んで発表されることとなった。

4. 低エネルギー化の追求による高速バイポーラLSIの実現

1968年に次のステップとして高性能LSIの研究を開始した。課題は高速論理回路ECLの消費電力低減であった。LSI内では雑音余裕度は小さくてよいことを活用し、電源電圧を徹底的に減らす検討の中で、NTL(Non-Threshold-Logicと名づけた)のアイデアに到達した(図3の(a))。同年中に30ゲート足らずのTEGチップ(図4)による動作確認をしたあと、1969年100ゲート規模のマスタースライスLSIを日電、日立で試作し、市販ECL集積回路に比較して1桁以上の低エネルギー化を実証した。翌年から富士通を含む3社でミニコンレベルのLSI装置試作による動作確認も行った。なお、1970年6月10日電電公社から発表があった翌日に一般紙各社の朝刊一面を賑わしたものである。NTLは外国の記者から非論理的論理回路と皮肉られたが、正確には分布閾値型回路と呼ぶべきであろう。

NTLでは、各ゲートが1より少し大きい電圧利得を有することで、入力雑音電圧を減衰させ、段数を重ねることで2値の信号レベルに収斂させる²⁾。回路動作電源電圧1.1V、信号振幅400mV、最も素子数の少ない回路形式であり、その後のLSI用に低エネルギー化された小信号振幅のECL(図3の(b))に比較し

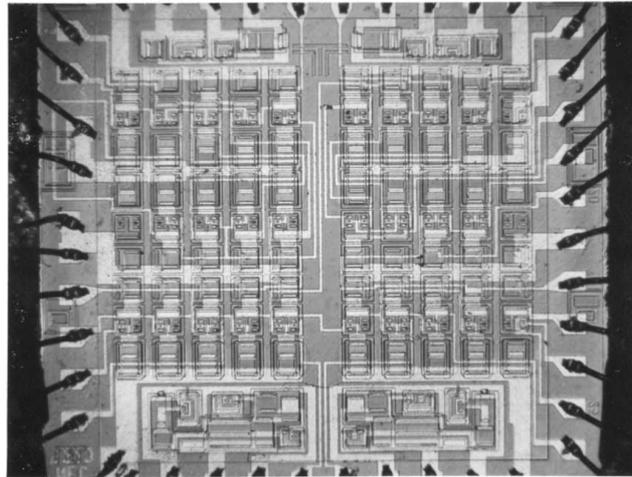


図4 NTTの動作確認用チップのパターン写真

ても消費電力約1/2(内蔵電源電圧安定化回路込みで)遅延時間1/2(負荷容量がある場合でも)の能力を持つ。また、試作LSIには、電源電圧安定化回路(外部電源電圧変動、素子特性のウエハ間製造ばらつき、および温度変動への対応)内蔵や、ゲートアレイLSI構成などの新技術を含ませた。

なお、前述のLSI試作は、試作していただいたメーカーでもバイポーラLSIは初めての経験であり、2層配線技術を立ち上げながらの試作であった。

5. 電子交換機中央高速処理系装置用LSIの開発 ECL LSIの低エネルギー化

DEX-3(D10中央高速処理系装置)用論理LSIの開発を1973に開始した。電子交換機共同研究各社の技術整備状況を踏まえ、装置要求性能2 ns/ゲートを満たすため、当時国際標準であったECL10KシリーズとコンパクトなLSIで、且つ、実装条件を考慮した低電力化を実現することを目標とした。通研が回路およびLSI構成を設計し、各社に試作をお願いして、新しいECL LSI回路構成を得た(図3の(c))。LSI内部は、通常のECLの半分である400 mVの信号振幅で且つ信号電位をグランド電位から約200 mVずらす回路構成で、電流スイッチのリファレンス電位を信号振幅800 mVの電流スイッチの場合と合わせるようにしたことが特徴で、LSI内部で3 mW/ゲートを得、また、外部のECL回路との接続の容易さを実現した³⁾。

前述のCSLの場合、電子交換機にしか使われず、その後国際的にデファクトスタンダードとなったテキサスインスツルメント社のTTL74シリーズに置き換わった経験から、単に回路の技術的評価だけでは

なく、これを使う装置設計者に如何に広く浸透させるかが重要との判断で、このLSIではNTLではなく、ECL形式を選択したものである。

6. 電子交換機メモリの半導体化 DRAM技術の実用化

1 kビットDRAMが1970年インテルからpチャネルMOSで発表され、1964年当時フェアチャイルドにいたGordon E. Moore(後にRobert N. Noyceと共にインテルを起こす)が提唱したムーアの法則に乗ったロードマップが示された。以来DRAMの開発競争が盛んになっている。次の4 kビットDRAMではテキサスインスツルメント社がnチャネル化を図りトラブルが多く苦労しているという情報が伝わっていた。

1973~1975年通研では電子交換機の主記憶装置を磁気ドラムから半導体メモリに切り替えるべく、メーカー4社と共通仕様の4 kビットDRAMの共同研究を開始した。高品質nチャネルDRAMで米国勢を出し抜こうとの思いもあり、通研は各社試作品の信頼度を評価し、品質向上を図った。各社の努力により目標を達成している。これは1975年から始めたNTTの超LSI共同研究(当初目標64KDRAM)の下地を作ったことにもなる。

参考資料

- 1) H. Mukai, "Controlled Saturation as an Approach to High-Speed Logic" ISSCC1968. P.162
- 2) 向井 "分布しきい値形論理回路", 信学論, Vol.54-C No.6, p.466 (1971).
- 3) 向井, 他 "マスタスライス形ECL LSIの研究" 通研実報, 26, No.4, p.1175 (1977).