



IEEE西沢潤一メダル受賞 DRAM用スタックドキャパシタ・ メモリセルの発明と実用化経緯

小柳 光正 (東北大学大学院工学研究科 教授、
元日立製作所勤務)



はじめに

DRAMは「産業の米」とも言われ、1980年代・1990年代の半導体産業の牽引役でありました。また、DRAMをめぐる日本とアメリカの技術開発競争・ビジネス競争は、日米半導体戦争として、一般の人々にも知られるまでになっていました。しかし最近では、韓国・台湾をはじめとするアジア勢に圧されて昔の面影は見られなくなっています。日本のDRAMの繁栄期を知る人間としては寂しいかぎりでありませぬ。しかし、DRAMの生産拠点が世界の何処に移ろうとも、DRAMの重要性は薄れるわけではなく、今後とも半導体市場の大きな部分を占めていくと考えられます。

このようなDRAMの基本メモリ素子構造がスタックド(積層型)キャパシタ・メモリセル(以後、スタックセルと記す)です。現在、世界のDRAMの70~80%にスタックセルが用いられています。DRAMの基本素子構造としては、他に、角南英夫・広島大学教授(元日立製作所)の発明によるトレンチ(垂直溝型)キャパシタ・セルも用いられています。

スタックセルの発明により、2006年6月に、筆者は、米国電気電子学会(IEEE)のJunichi-Nishizawa Medalを授与されました。角南英夫・広島大学教授、伊藤清男・日立製作所フェローとの共同受賞です。Junichi-Nishizawa Medalの詳細につきましては、角南英夫教授の本誌への寄稿(SSISニューズレターNo.48, p.17, 2006年10月)を参照して下さい。Junichi-Nishizawa Medal以外にも、スタックセルの発明により、筆者は、IEEEクレド・ブルネッティ賞、IEEEフェロー、応用物理学会フェロー、文部科学大臣賞(科学技術功労者)、SSDM(Solid-State Devices and Materials) Award、大河内記念技術賞等(平成4年)等を受賞しています。

発明までの道

筆者は1969年4月に東北大学の西沢潤一先生の研究室に配属になり、シリコン(Si)表面の研究を開始しました。MOSトランジスタやMOSICは、信頼性が低く、一部の用途にしか使われていなかった時代で

した。研究の内容は、Si表面の反転層の物理的挙動を明確にすると共に、MOS構造の基本モデルを構築するという事でありました。はじめのうちは、安定な特性を示すMOSキャパシタが作れなかった為、Siサンプルの表面に、10ミクロン程度までに薄く劈開したマイカ板を介して300Vの交流を印加したり、表面に酸化・還元性のガスを交互に流して(バーデン-ブラッテン・ガスサイクル)表面ポテンシャルを変化させていました。

その後、博士課程に進学してからは、Si表面と反転層の応答を解析する為に、振動容量型微小電流測定や超低周波のインピーダンス解析を行うよう、先生から指示されました。しかし測定装置がありませんでしたので、先生にその旨申し上げると、装置がないから研究ができないとは何事だとひどく怒られました。研究者に必要な装置は自分で作るものだと言われたので、当時広瀬川の河川敷にあった廃品回収業の人のところに行って、壊れたラジオを買ってきたことを憶えています。壊れたラジオのスピーカーを分解して、そこに円盤状の電極を取り付けて振動容量型の微小電流計を自作しました。しかし、思うような性能が得られなかったので、微小電流計は諦めて、超低周波のインピーダンス測定器の自作を始めました。しかし、なかなかうまく行かず、自作に1年以上かかりました。この間、測定器を何台自作したかわかりません。

自作で最も苦労したのは、リファレンス用の高抵抗とコンデンサを如何にして作るかということでした。MOSキャパシタは、極めて損失の少ない絶縁膜であるSi熱酸化膜からなるキャパシタであるために、インピーダンス特性を測定するためには、リファレンス用コンデンサとして、更に損失の少ないコンデンサを用意しなければなりません。また反転層の応答まで検知しようとする、0.01~0.1Hzという超低周波領域での測定を行う必要があるため、リファレンス用コンデンサに対する要求は更に厳しいものとなります。そこで、あらゆる種類のコンデンサと、

コンデンサを形成する絶縁材料について調査検討しました。いわゆるHigh-K絶縁膜を使ったコンデンサについても検討しました。しかし、どのコンデンサも損失が無視できなくて、キャパシタンス値が周波数依存性を示すために使えませんでした。最終的には、バリコンを分解して真空容器に封じ込んで作ったコンデンサが最も損失が少ないことがわかり、これをリファレンス用コンデンサとして使用することで、広い周波数領域にわたるMOSキャパシタのインピーダンス解析ができるようになりました。

このような苦勞を重ねたことで、私の頭の中には、コンデンサというものに対する確固たる考え方ができあがりました。また、MOSキャパシタのインピーダンス解析から、MOSデバイスは如何に基板の少数キャリアの影響を受け易いかも、身をもって知ることができました。その結果、MOSキャパシタは本物のコンデンサではなく、「似非コンデンサ」であるとの強い信念をもつようになりました。このことが、その後MOSキャパシタを用いた1トランジスタ型のDRAMセルに出会った時に違和感を感じ、スタックセルを発明するきっかけとなりました。

スタックセルの発明

筆者は1975年より日立製作所・中央研究所にて、半導体メモリの研究・開発を開始しました。この頃は、半導体メモリ、特にDRAMの集積密度が向上し、集積回路技術開発の先導的役割を果たすようになった時期でした。生産量も急激な勢いで伸び始め、将来予想される市場の大きさと、基幹産業として成長する可能性を秘めたDRAMに対して、日本の半導体メーカーが挙げて力を投入し始めた時期でもありました。しかし、他の集積回路と同様、DRAMにおいても、それまでの基本技術のほとんどは欧米で生み出されたものであり、生産技術においても1K・4K・16Kビットの3世代に渡って米国が圧倒的に優位な立場にありました。

このような背景の中で、筆者は将来のDRAMの基幹技術となるような日本独自の新しい技術を生み出すべく研究を開始しました。研究の対象として、DRAMの基本技術として最も重要なメモリセルを取り上げました。当時、メモリセルとしては平面キャパシタ型の1トランジスタセルが主流となりつつありましたが、このメモリセルを見た時に強い違和感をもちました。情報電荷を保持する重要なキャパシタ（蓄積容量）にMOSキャパシタを使っていたからです。前述したように、筆者は、MOSキャパシタは

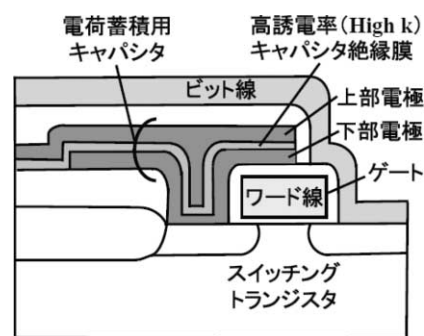


図1 スタックセルの断面構造

「似非コンデンサ」であるとの強い信念をもっていましたので、平面キャパシタ型の1トランジスタセルは、将来、更なる高集積化、大容量化を進めようとした場合、下記の点で問題になるだろうと考えました。

- 1) Si基板内で発生する少数キャリア（電子、正孔）や漏洩電流の影響を受け易い。その為、高集積化を進めて行くと、情報電荷保持特性が劣化して良好に動作しなくなる。
- 2) 高集積化を図る為に素子を微細化すると、情報電荷保持容量が減少し、メモリセルへ蓄えることのできる信号電荷量が減少し、動作しなくなる。

そこで、これらの問題を解決するために、情報電荷を保持するキャパシタ部をできるだけSi基板から離して、少数キャリアの影響を受けないようにすることを考えました。また、メモリセル面積を小さくしても、キャパシタンスの値が小さくならないようにすることを考えました。その結果が、情報電荷蓄積用キャパシタをスイッチングトランジスタの上に三次元的に積み上げるスタックドキャパシタセル（Stacked Capacitor Cell；積み上げ容量型メモリセル）の発明に自然につながって行きました。筆者が1976年に発明したスタックセルの基本構造を図1に示します。このようなスタックセルの構造や蓄積容量形成用高誘電率絶縁膜に関して、11件の特許を取得しました（特許番号：1394492, 1407934, 1660439, 1660440, 1741412, 1861666, 1911057, 1943518, 1973443, 2087961, USP4151607）。

スタックセルの試作

従来の1トランジスタ型のメモリセルは、蓄積容量が多結晶Si - Si酸化膜 - Si基板から成る平面型MOSキャパシタで構成されていたため、蓄積容量を大きくするとメモリセル面積が著しく大きくなる欠点がありました。これに対して、図1に示したように、筆者が発明したスタックセルは、多結晶Si - 絶縁膜 - 多結晶Si、または金属 - 絶縁膜 - 金属から成るパッシ

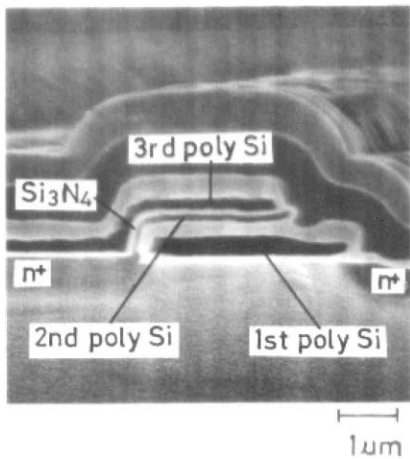


図2 試作したスタックセルのSEM 断面観察写真

ブ容量をスイッチングトランジスタの上に3次元的に積み上げているため、小さなメモリセル面積で大きな蓄積容量を実現できます。また、蓄積容量形成に使用するSi基板部分が少ないため、基板で発生した少数キャリアの影響を受けにくく、ソフトエラー耐性や情報電荷保持特性が著しく改善されるなどの利点があります。スタックセルのもう一つの利点として、多結晶Si - 絶縁膜 - 多結晶Si、または金属 - 絶縁膜 - 金属から成る蓄積容量の絶縁膜として、高誘電率 (High-K) の絶縁薄膜を使用できるという特徴があります。高誘電率の絶縁膜を使うことによって誘電率が大きくなる分だけ蓄積容量を大きくすることができます。スタックセルの試作にあたっては、蓄積容量形成用絶縁膜として、LSIの製作プロセスと適合しやすいSi窒化膜と五酸化タンタル膜を取り上げました。

図2は、1978年に世界で初めて試作に成功した時のスタックセルのSEM断面観察写真です。写真から、n⁺多結晶Si - Si窒化膜 - n⁺多結晶Siから成る蓄積容量が、自己整合的にスイッチングMOSトランジスタのゲート電極上に積み上げられている様子わかります。当時はドライエッチが使えなかったため、蓄積容量とスイッチングトランジスタを接続するための自己整合コンタクトの形成に大変苦労しました。また、蓄積容量の絶縁膜としてHigh-K絶縁薄膜を用いると漏洩電流が大幅に増えることも問題でした。最初に試作したスタックセルでは蓄積容量の絶縁膜としてSi窒化膜を用いましたが、Si窒化膜形成後、高温で熱酸化して表面に薄いSi酸化膜を形成することによって漏洩電流を著しく低減できることを見出し(図3) これによってはじめて、良好な特性を有するスタックセルを試作できるようになりました。このSi窒化膜/酸化膜複合絶縁膜は、スタックセルよりも先

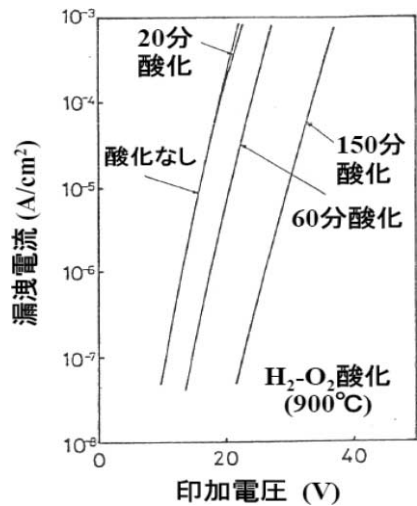


図3 Si窒化膜 (ON) 遺漏電流の酸化時間依存性

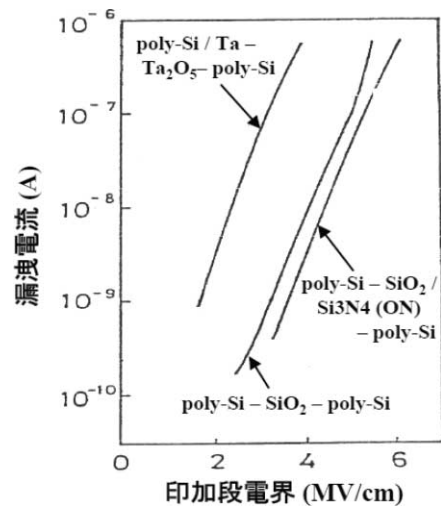


図4 容量用3種絶縁膜の遺漏電流比較

に、平面キャパシタ型の64KビットDRAMで実用化され、64Mビットから128Mビットまでの6~7世代にわたって、長いことDRAMの蓄積容量形成用絶縁膜として世界中のすべてのDRAMに採用されました。

蓄積容量形成用絶縁膜に五酸化タンタル膜を用いたスタックセルの試作も行いました。五酸化タンタル膜は高温のプロセスを通すと酸素欠陥ができて、漏洩電流が著しく増加します。しかし、スタックセルでは、蓄積容量をスイッチングトランジスタの上に積み上げるため、蓄積容量の形成を比較的低温で行うことができ、漏洩電流を大幅に減らすことができました。図4に示すように、印加電界が同じ場合は、漏洩電流はSi酸化膜に比べてまだ1桁程度大きくなっていますが、五酸化タンタル膜は誘電率が大きいため膜厚をある程度厚くすることができ、大きな容量値を確保しながら同一印加電圧下での漏洩電流を

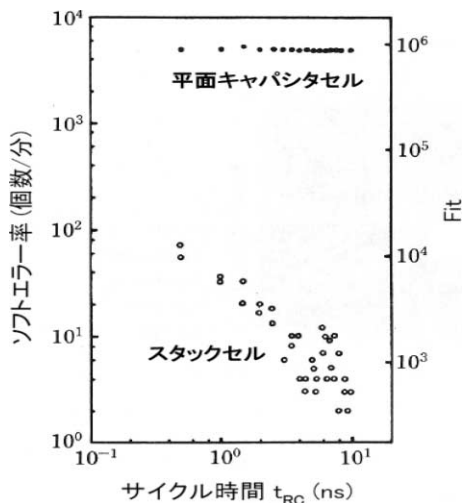


図5 ソフトエラー率のサイクル時間依存性

Si酸化膜のそれに近づけることができました。これによって、五酸化タンタル膜の蓄積容量形成用絶縁膜としての可能性を初めて示すことができました。五酸化タンタル膜は、スタックセルの蓄積容量形成用絶縁膜として64MビットDRAMから実用化されました。

スタックセルの最初の試作結果は、1978年のIEEE国際電子デバイス学会 (IEDM) で初めて発表しましたが、この時の発表は、2004年のIEDM50周年記念行事の一環として選別された過去の優秀発表論文58件の中で、日本人として最初の論文にリストアップされました (日本人の論文は全部で6件)。

IEDMでスタックセルを発表してから1~2年後、DRAMでソフトエラーが観測されて大問題となりました。Si基板に浸入したアルファ線によって発生した少数キャリアが、蓄積容量であるMOSキャパシタの蓄積電荷を打ち消してしまうためです。筆者が危惧していたことが実際に起きてしまいました。しかし、このことは基板で発生する少数キャリアの影響を受けにくいスタックセルにとっては追い風となりました。図5に示すように、実際に試作したDRAMテストチップで、スタックセルが平面キャパシタ型セルに比べてソフトエラー耐性が著しく優れていることを示すことができましたからです。

スタックセルの実用化経緯

その後筆者は、1980年に、図6に示すようなCOB (Capacitance-Over-Bit Line) 型のスタックセルをIEEE Transactions on Electron Devices, IEEE Journal of Solid-State Circuitsに発表するとともに、64KビットDRAMで実用化を試みましたが、時期が早過ぎて、結局実用化されたのは、スタックセル技術のうちのSi窒化膜 / 酸化膜複合絶縁膜だけでした。その後、

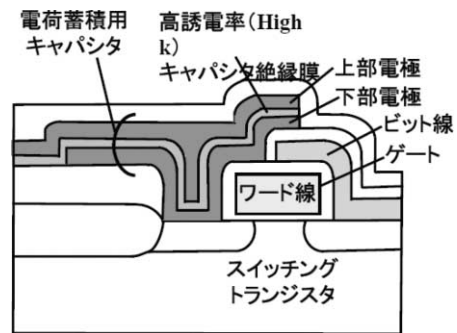


図6 COB型スタックセルの断面構造

スタックセルはしばらくブランクがあり、1MビットDRAMで1985年に富士通が初めて実用化に成功しました。しかし、1MビットDRAMは平面キャパシタ型セルが主流であったため、本格的なスタックセル時代の到来とまでは行きませんでした。4MビットDRAMの時代になって平面キャパシタ型セルが使えないとわかり、スタックセルとトレンチセルが再び注目されるようになりました。それまで、世界中で数十種類ものDRAMメモリセルが提案されていましたが、最後に生き残ったのはスタックセルとトレンチセルだけということに感慨深く思ったものでした。

しかし、4MビットDRAMの初期の段階では、シンプルで解り易い構造のトレンチセルを採用するDRAMメーカーが多く、スタックセルを採用したのは富士通と日立だけでした。特に、欧米勢はスタックセルに全く関心を示さず、トレンチセルを採用しました。欧米勢が、スタックセルは構造が複雑で、微細化もし難く、量産にも向かないと、スタックセルのことを散々にこきおろしていたのを筆者は今でも鮮明に憶えています。この時筆者は、スタックセルの問題点ばかり指摘する人達はスタックセルの本質をよく理解していないと考えていました。歩留まり・信頼性・コスト等を含めた総合的な実力が問われる本格的量産に入ってくると、スタックセルの優位性が理解されるようになると信じていました。筆者の予想した通り、本格的な量産が始まるとトレンチセルからスタックセルへと変更するDRAMメーカーが続出し、世界のDRAMの70~80%がスタックセルを採用するようになりました。このように、4Mビット以降、スタックセルを採用した日本のDRAMメーカーの主導で、DRAM産業は飛躍的な発展を遂げ、DRAMは日本の産業の米とまで言われるようになりました。しかし、皮肉なことに、スタックセルがDRAMで確固たる地位を確立すると共に、DRAM生産の中心が日本から、韓国・台湾をはじめとするア

ジアにシフトするようになりました。スタックセルの発明者である筆者としては、日本のDRAMの復活を期待するばかりです。

3次元スタックセルから3次元スタックLSIへ

筆者は、Si基板における少数キャリアの影響を軽減するためと、小さなセル面積でも大きな蓄積容量を実現するために、メモリセルを3次元構造としましたが、3次元積層構造導入の有効性はこれに限るものではありません。いろいろな効果が期待できます。3次元積層構造の採用によって、トランジスタの上に積み上げる素子を低温で形成できるため、これまでLSIには導入できなかったような異種材料や異種デバイスを取り込むことができるようになるからです。その典型的な例が、最近の新しいメモリ素子です。MRAMやFeRAM、PRAM、RRAMなどの新しいメモリ素子では、磁性材料や強誘電体材料、カルコゲナイド系材料、酸化物系材料など、高温のプロセスを通せない材料からなる抵抗やキャパシタなどの素子がスイッチングトランジスタの上に3次元的に積み重ねられています。

今後、メモリセルが更に微細化されると、スイッチングトランジスタも、縦型トランジスタのような3次元構造のトランジスタとなり、高集積メモリは全て3次元セルを採用するようになると考えられます。しかし、このような3次元セルも、更なる微細化を進めると、やがては微細化の限界に突き当たるので、その場合はメモリチップごと、3次元積層する3次元積層メモリが必須となると考えられます。

このような考えのもとに、筆者は1980年の終わり頃から、世界に先駆けて、メモリやLSIをウェーハごと積層する新しい3次元集積化技術の研究開発に取り組んできました。プロセスが完了したメモリウェーハやLSIウェーハに、Si貫通配線(Through Silicon Via: TSV)を形成して、ウェーハを薄化した後貼り合わせるという技術です。この技術を用いて、筆者はこれまで、3層積層型イメージセンサ(IEDM, 1999年)、3層積層メモリ(IEDM, 2000年)、3層積層人工網膜チップ(ISSCC, 2001年)、3層積層型プロセッサ(IEEE Cool Chips, 2002年)、10層積層メモリ(IEDM, 2005年)、38層積層の3次元スーパーチップ(IEDM, 2007年)などの3次元メモリや3次元LSIの試作に成功しています。図7と図8に、試作した3層積層型プロセッサと10層積層メモリのSEM断面観察写真を示します。

3次元集積化技術につきましては、研究開発を始

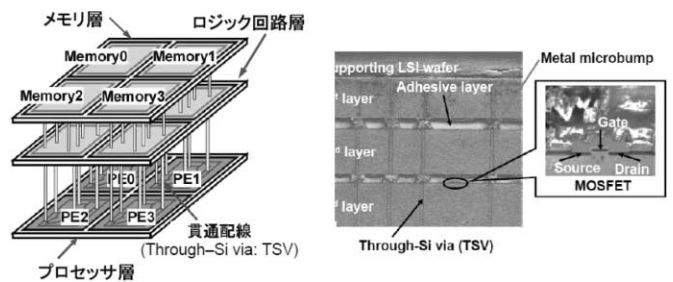


図7 試作した積層型プロセッサの構造とSEM断面観察写真

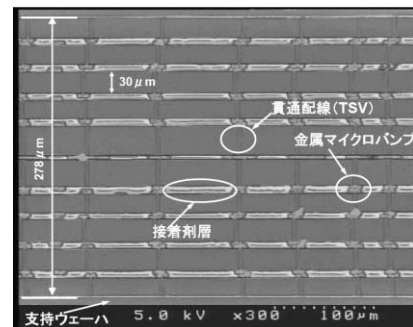


図8 試作した10層積層メモリのSEM断面観察写真

めてから約20年が過ぎようとしています。漸く世の中もその重要性に気がつき、精力的に技術開発を始めるようになりました。スタックセルを最初に提案した時、構造が複雑で量産には適さないとか、コストが高くて採用されないだろうとか、いろいろ言われました。3次元集積化技術についても同じようなことを言われています。しかし、筆者にすれば、2次元集積化が限界に達すれば3次元集積化に移行するのは自然の流れと考えていますので、LSIの大部分はやがて3次元LSIに変わっていくと信じています。スタックセルが素子レベルでの3次元集積化と考えると、筆者は今日まで約30年以上にわたって3次元集積化に関わってきたことになり、3次元集積化は、筆者の研究人生そのものであります。3次元集積化技術の導入によって、日本の半導体産業が復活する日を夢見て、今後とも3次元集積化の研究に邁進して行きたいと思っています。

最後に、スタックセルの研究開発にご理解とご協力を頂きました日立製作所・中央研究所の当時の関係者の方々に感謝申し上げます。特に、浅井彰二郎博士、伊藤清男博士、佐藤喜久治博士、故芦川幹雄博士、橋本哲一博士、林田哲哉氏、川本佳史氏にはスタックセルの研究から実用化に至るまで多大の貢献を頂き、深く感謝申し上げます。また、DRAMメモリセルの研究で刺激を頂いた角南英夫博士に感謝申し上げます。