



寄稿文

フラッシュメモリ開発物語

東北大学名誉教授 舩岡 富士雄



1. はじめに

不揮発性メモリとして広く使われていたフロッピーディスク、ハードディスク及び磁気テープを置き換える半導体メモリとしてフラッシュメモリの発明から商品化までの経過を述べる。フラッシュメモリは、NOR 型フラッシュメモリと NAND 型フラッシュメモリがあり、それぞれのフラッシュメモリの動作原理及び特徴を述べる。NOR 型フラッシュメモリは NAND 型フラッシュメモリより高速読み出しが可能であり、NAND 型フラッシュメモリは、NOR 型フラッシュメモリより書き換え回数が多く、ビットあたりのコストが安く出来るため、広く磁気メモリの置き換えに最適であることを述べている。

フラッシュメモリの発展は、私が最初に特許を書いた1980年には想像できないほどである。

フラッシュメモリは、安く、軽く、低消費電力かつ信頼性が高い、使いやすいメモリである。このためデジタルカメラばかりでなく携帯電話が世界的に爆発的に普及したキーデバイスである。現在、USBメモリとしてフロッピーディスクを完全に駆逐し、ハードディスクの置き換えが始まっている。さらに航空機のボイスレコーダ、自動車のエンジンコントロール、携帯電話、ロボット、計算機及び家庭電化機器等ほとんどの電気製品に使われている。特に携帯電話の普及には眼をみはる程である。今や小学生まで持つまでになっている。私がフラッシュメモリを発明した当時は考えもしなかった事である。携帯電話の牽引車になったのがフラッシュメモリである。携帯電話に必要な機能を簡単に言ってしまうと、電話かける相手の電話番号を決められた規則によって基地局に送信することである。この規則を記憶しているメモリがフラッシュメモリである。フラッシュメモリは半導体で出来ておりビット単価が安くかつ電源を切っても記憶を忘れない特徴の上に電力消費量が非常に少ない理想的メモリである。もし磁気記録であるハードディスクも使うとどんなことが起こるか考えてみる。電池を現在使われている携帯電話の1000倍以上の電力容量にし、かつ振動をあたえないような機構が要求される。結果として大きさ及び値段が現在使われている携帯電話の100倍以上になってしまう。だれもこのような携帯電話を使わないのは明らかである。

フラッシュメモリは既に半導体産業の第3回目の牽引車に充分になっていると言って過言でない。半導体産業はトランジスタが米国のベル研究所で1947年に発明されたことに起因する。通常の技術はその産業が起こってから30年でその成長が止まる。いわゆる30年説から

見ると半導体産業が50年を超えて連続して成長を維持している事は異常な部類に属すると言われている。筆者は、半導体産業のこれまでの発展は、図1に示すように1つの半導体技術と言うより別のジャンルの半導体技術によると考えている。従来の30年説が否定されている訳でないのである。半導体産業の発展は従来2つの別の技術によって支えられて来た。その第1回目はトランジスタを牽引車と捉え、第2回目はDRAMを牽引車として来た。さらに第3回目はフラッシュメモリが牽引車として半導体産業の成長は続いてきた。今後少なくとも30年間半導体産業の成長が続くためには、第4の牽引車が必要であると考えている。筆者は、第4の牽引車も日本からと考え、3次元MOSトランジスタであるSGT(Surrounding Gate MOS Transistor)が強力な候補であると信じている。

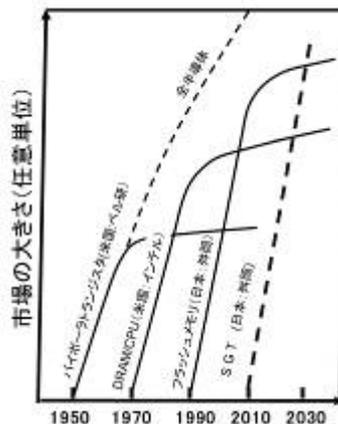


図1 半導体はSGT(日本:舩岡)の登場により成長を続ける

半導体産業の発展の歴史には、共通点がある。いずれも旧来からあるキー技術を置き換えている事である。最初は真空管をトランジスタが置き換え、次にコアメモリをDRAMが置き換え、最終的にハードディスク及びフロッピーディスクをフラッシュメモリが置き換える。それぞれ結果的に30年間説に従って急激に成長した後安定期を迎える。

2. フラッシュメモリの発明まで

2.1. 入社1年目の筆者発明の特許がインテル社と無償フリークロスライセンスを勝ち取る

私がなぜフラッシュメモリを発明できたかは私の研究歴をなくしては説明出来ない。私は東北大学の電子工学科に進み、西澤研究室に入門した。西澤潤一先生は研究ばかりでなく当時の大学の先生としてはめずらしく特許を既に100件以上も出願されており、私は先生が

発明された特許の権利化のため、特許庁へ提出する答弁書等の作成のお手伝いをさせていただいた。結果として特許とはなにか、どのように書けば権利化出来るか等を実践で学ぶことが出来た。この特許技術は私の技術屋としての人生に非常に役に立ったことになる。東芝に入社して3ヶ月目に特許をいきなり5件書く事が出来た。当時としては東芝全社で1年に数件しか外国出願されない中の1件としての有力特許として認められ、米国特許も登録となった。この特許により後に東芝は米国のインテル社と無償フリークロスライセンスを勝ち取る事が出来た。集積回路は2001年にノーベル賞を受けた米国TI社のキルビー氏の発明で、現在使われている半導体集積回路のほとんどは、米国インテル社が開発した。そのため日本の会社は半導体製品を製造するとひたすら多額の特許料を米国各会社に支払っていた。もちろん半導体で特許料を外国から取ることも考えられない時代であった。それが私の特許1件でインテル社の特許全てを東芝は無償で使えることになったのである。これは大変な利益を東芝にもたらした。この特許で私は全国発明表彰発明賞をいただく事が出来た。

2.2. 自発的に研究所から営業部隊に転籍

東芝に入社後最初に配属されたのは、研究部門である。自分が研究部門で開発した製品が売れないので営業がしっかりやってないと思いき自分が売ってくると自発的に研究所から営業部隊に転籍をした。今から考えると非常に無謀なことで反省している。無名の日本の会社が作った半導体製品を当時の米国の大型計算機メーカーがすぐ使うわけがない。私は英語もしゃべれないのに米国の大型計算機メーカーをまわり売り込んだ。結果は言うまでもない。

2.3. 1年で営業から工場の製品開発部門に転籍

半導体メモリの製品の開発から売り上げまでの利益計画を立て、実行する部門を担当した。結果として、入社8年にして研究開発4年営業1年及び損益の計算部門3年と半導体の全ての部門を体験したのである。すなわち経営を経験することによりお客さんに役に立つ製品とは何かを肌で学ぶことが出来たからである。

2.4 DRAMの次の牽引車を考える

1980年当時は、DRAMが計算機の主記憶として完全に磁気メモリであるコアメモリを駆逐して半導体産業の主力と成長していた。

筆者は、工場にいながら当時の計算機のメモリの階層図2を考えていた。メモリ、主記憶、およびファイルメモリのメモリ階層自体は、変わらない。図2は、1980年当時のメモリ階層である。ファイルメモリはディスクメモリとテープから構成されている。図2の縦軸は、性能を示しており、高速を必要とするレジスタメモリ、キャッシュメモリ及び主記憶は、半導体メモリから構成されている。

一方不揮発性であることを必要とするファイルメモリ

は、磁気メモリであるディスクメモリとテープから構成されていた。図2の横軸の大きさは、市場規模すなわち売り上げの大きさを表している。磁気メモリであるディスクメモリとテープの市場規模が圧倒的に半導体メモリの市場規模より大きいのである。すなわち半導体産業にとって数倍の規模の大きな市場が手付かず横たわっている。筆者はこの分野を半導体産業が奪うことにより、半導体産業の未来は大きく開けると考えていた。勿論不揮発性半導体メモリは東芝に入社時の研究テーマであったので、認識はしていた。

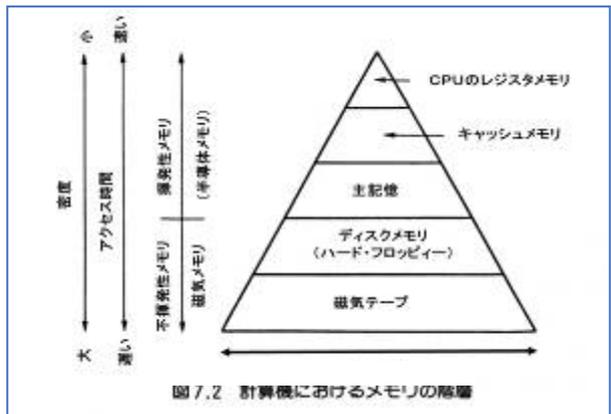


図2 計算機におけるメモリの階層

3. フラッシュメモリの発明

3.1. 不揮発性半導体メモリの発明

不揮発性半導体メモリである電氣的に書き込み消去可能な半導体メモリ(EEPROM)の動作原理は図3に示すように1967年米国ベル研のカーンとシー文献1)により発明された。

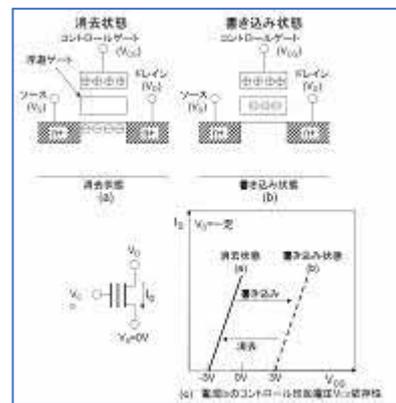


図3 不揮発性メモリの動作原理

不揮発性半導体メモリは、図3(a)及び(b)に示すようにMOSトランジスタのゲートと基盤間に浮遊ゲートを持つ構造である。浮遊ゲートは、完全にゲート酸化膜である絶縁物により囲まれているので完全に外部と電氣的に遮断状態にある。このため浮遊ゲートと命名している。等価回路は、図3(c)に示しているようにMOSトランジスタの等価回路に浮遊ゲートを付加したことを示している。

不揮発性半導体メモリの記憶動作を説明する。浮遊ゲートに電子がない消去状態図3(a)のときは、不揮発

性半導体メモリの電流電圧特性は図3(c)の消去状態(a)に示すようにコントロールゲート(VCG)に印加する電圧 - 3V から電流が流れる。このように電流が流れ始める時にコントロールゲート(VCG)に印加する電圧を閾値電圧(V_{th})と定義している。消去状態(a)の閾値電圧(V_{th})は、- 3Vである。一方浮遊ゲートに電子が蓄積している書き込み状態図 3(b)のときは、不揮発性半導体メモリの電流電圧特性は図 3(c)の書き込み状態(b)に示すようにコントロールゲート(VCG)に印加する電圧3Vから電流が流れる。書き込み状態図 3(b)の閾値電圧(V_{th})は、3Vである。

不揮発性半導体メモリの記憶動作はこのように浮遊ゲートに電子が存在するか否かによって電流が流れ始めるコントロールゲート(VCG)に印加する電圧すなわち閾値電圧(V_{th})が異なるのである。このため、不揮発性半導体メモリの記憶を読み出すときに、コントロールゲート(VCG)に0Vを印加すると、浮遊ゲートに電子がない消去状態図 3(a)のときは、閾値電圧(V_{th})が - 3V であるため電流が流れる。一方浮遊ゲートに電子が蓄積している書き込み状態図 3(b)の時には、閾値電圧(V_{th})が3V であるため電流は流れない。このように、浮遊ゲートに蓄積する電子の有無によって閾値電圧(V_{th})が変わるために不揮発性半導体メモリに流れる電流の有無として読み出せるのである。

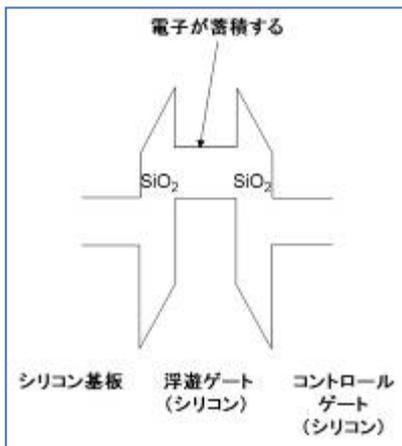


図4 EEPROMのエネルギーバンド図

不揮発性半導体メモリが電源を切っても記憶を保持する動作原理を図4にて説明する。図4は、図3(a)及び(b)に示すシリコン基板とコントロールゲート間の断面のエネルギーバンド図である。シリコン基板とコントロールゲート間に存在する浮遊ゲートは、完全に絶縁物すなわち酸化膜(SiO₂)の高いエネルギー障壁で囲まれているため浮遊ゲートに蓄積された電子が高いエネルギー障壁を越えることが出来ない。このため浮遊ゲートに蓄積された電子の有無が電源を切っても存続するため不揮発性半導体メモリとしての動作をするのである。

不揮発性半導体メモリの消去及び書き込は、図4に示す高いエネルギー障壁を越えて電子を注入及び抽出させて行う。この方法には、高い酸化膜エネルギー障壁をトンネル効果により通り抜けさせる方法と高いエネルギー

を持つ電子すなわちホットエレクトロンを発生させ、高いエネルギーを持つホットエレクトロンがエネルギー障壁を越えさせる方法の2つの方法がある。

3.2. 16k ビット EEPROM の開発

実際に図3の構造を持つ不揮発性半導体メモリである電的に書き込み消去可能なメモリ(EEPROM)は、インテル社により16kビットEEPROMとして1980年開発された。(文献2)インテル社開発のEEPROMの1ビットのメモリセルは、図5に示すように1個の選択トランジスタと1個のメモリトランジスタの2個のトランジスタから構成されていた。さらに1個のビット線に多数のメモリセルが接続するNOR型と言われるメモリ接続方式である。

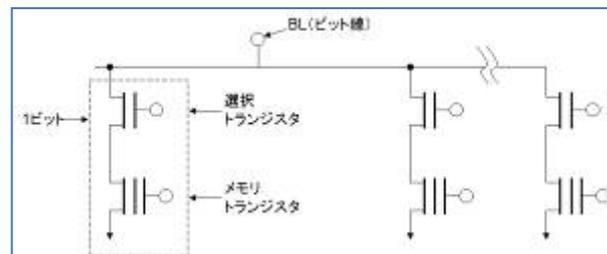


図5 従来型 EEPROM メモリセル

筆者は、インテル社の開発した16kビットEEPROMの発表を1980年2月サンフランシスコで聴講した。その時に、これは図2の市場規模が半導体メモリの市場規模より圧倒的に大きい磁気メモリであるディスクメモリとテープの分野を置き換える可能性はないと直感した。理由は簡単である。ファイル記憶用分野として求められるメモリは、高速あるいは、ランダム・アクセス可能なメモリ(任意のメモリセルを自由に読み、書き及び消去可能なメモリ)等の性能ではなく、ビット当たりのコストが安いことが最重要なのである。勿論コストに糸目をつけないファイルメモリを使用する分野はある。それは、全体に対して1パーセント以下である。

インテル社のEEPROMは、1ビットが2個のトランジスタから構成されている。半導体メモリのコストは1ビットがシリコンチップ上に占有する面積に大きく依存する。最も単純には、ビットあたりの占有面積が2倍になるとコストは10倍高くなると言って過言でない。このことからインテル社の開発したEEPROMは、大きな市場を獲得することはないと強く感じていた。

3.3. フラッシュメモリの発明

3.3.1. インテル社の EEPROM の分析

フラッシュメモリの発明の原点は、EEPROMのメモリセルの占有面積を小さくする事である。インテル社のEEPROMは、図5に示すように1ビットあたり1個の選択トランジスタと1個のメモリトランジスタの2個のトランジスタから構成されていた。それでは、1ビットあたり1個のメモリトランジスタのみで構成すればよいではないかと考えるのが自然である。なぜインテル社のEEPROMが1ビットあたり1個の選択トランジスタを必要とするか？それ

は、任意の 1 ビットを選択し、書き込み、消去及び読み出しを自由に行う事が可能な、すなわちランダム・アクセス可能なメモリの性能を有していたためである。

3.3.2.1 ビットを1個のメモリランジスタで実現可能なフラッシュメモリの特許出願

ファイルメモリとして大きな市場を持つ磁気メモリであるディスクメモリとテープは、任意の1ビットを選択し、書き込み、消去及び読み出しを自由に行う事が不可能な、すなわちランダム・アクセス不可能なメモリである。磁気メモリであるディスクメモリとテープは、読み出し、書き込み及び消去もある固まり例えば少なくとも256バイト単位でかつ連続的にしか読み出し出来ない。

一方、インテル社のEEPROMは、1個の選択トランジスタと1個のメモリランジスタの2個のトランジスタから構成することにより、ファイルメモリの分野では不要なランダム・アクセス可能なメモリ機能を持っていたのである。

筆者は、ファイルメモリの分野では不要なランダム・アクセス機能をカットすることにより、1個のメモリランジスタのみで電氣的に消去及び書き込み可能な1ビットを構成可能なメモリを実現することを考えた。具体的には、従来は1ビット毎に消去していたのにたいして、多数のメモリビットを一括して消去することにより1ビットのメモリセルを1個のメモリランジスタのみで構成でき、書き込みは1ビット毎に可能な最初のNOR型フラッシュメモリを1980年11月20日出願開始して以来1981年7月30日まで23件の特許を出願したのである。文献3)

3.3.3. NOR型フラッシュメモリの開発

筆者は1980年には工場に駐在し、勤務時間の100%は1MビットDRAMの製品開発のプロジェクト・サブリーダーを務め、他の半導体メモリの製品開発及び歩留まり向上等の任務についていた。従ってフラッシュメモリの特許は、勤務時間外の土日等を使って必死に書くことは出来たが、実際に開発することは不可能であった。幸いな事に1983年には1MビットDRAMの製品化のめどがついた。我々が開発した1MDRAMは、世界を制覇した。この功績は、日経産業新聞1991年2月6日付け5面に当時のプロジェクトリーダーである鈴木統一氏と筆者の顔写真つきで紹介された。東芝の1MDRAMの世界制覇によりインテル社はDRAMから撤退し、インテル社がフラッシュメモリで世界制覇をするのは1990年のことである。

1MDRAMの開発に成功したので、1984年上司の許可を得て1980年特許出願済みのNOR型フラッシュメモリの開発を開始した。開発は、基本素子の1個のNOR型フラッシュメモリといきなり256kビット・NOR型フラッシュメモリの開発を同時進行に進めた。通常1個の素子の開発に成功してから集積回路の開発に進むのが常道である。しかし、今回のNOR型フラッシュメモリの場合は同時進行が可能と判断したのである。理由は、当時の東芝は紫外線消去可能な電氣的書き込み可能な1ピ

ットが1個のメモリランジスタから構成されている256kビットEPROMを製品化していた。256kビットのNOR型フラッシュメモリは、上記紫外線消去可能な256kビットEPROMに1層の多結晶からなる消去ゲートを付加するだけで出来てしまうのである。結果として、1個のNOR型フラッシュメモリの基本動作メカニズムを1984年12月にIEDM(International Electron Devices Meeting)で発表。文献4)

256kビットのNOR型フラッシュメモリを1985年2月にISSCC(International Solid-State Circuits Conference)で発表した。文献5)

図6にインテル社が開発したEEPROMと1984年にIEDMで発表したフラッシュメモリのそれぞれの1ビットの等回路図、平面図及び断面図を示す。NOR型フラッシュメモリの1ビットあたりの占有面積がインテル社が開発したEEPROMの占有面積の4分の1以下に縮小されていることがわかる。1ビットあたりのコストは、占有面積により大きく依存し、NOR型フラッシュメモリのコストは、EEPROMに比較して大幅に安くなることを示している。

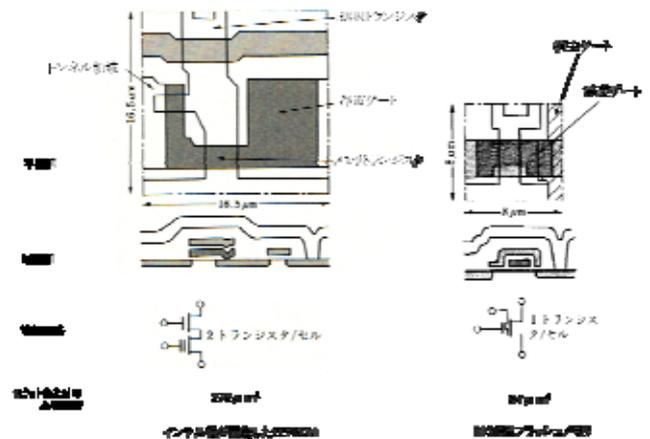


図6 NOR型フラッシュメモリセル

3.3.4. フラッシュメモリの商品化

半導体のオリンピックと言われるIEDM及びISSCCの一連の発表後に米国のBUSINESS WEEK1985年3月25日号に筆者の顔写真つきで「東芝が開発した新しいメモリにより米国の半導体メーカは悪夢を見るのか」との衝撃的な題目の記事が掲載された。記事には、インテル社の技術責任者のコメント「東芝のメモリは、新しいプロセスを必要としてみだめである。」が掲載された。しかし、事實は、この記事が出た後すぐに、インテル社は東芝に256kビットのNOR型フラッシュメモリのサンプル要求をしてきた。256kビットのNOR型フラッシュメモリの開発は東芝の正式開発計画もなく、他の仕事を持つ技術者4名に筆者がお願いして開始したメモリである。

当時の半導体の王様インテルからのサンプル要求であったので、工場も本気になり1年後にはサンプル出荷可能となった。256kビット・NOR型フラッシュメモリのサンプル出荷が可能になると、インテル社だけでなく、米

国の自動車メーカーが排気ガス制御用のエンジンコントロールのプログラム記憶用に試験を始めた。結果として米国の自動車会社に正式採用され、東芝は 1988 年には商品として生産を開始した。東芝は、NOR 型フラッシュメモリの製品化により 1988 年日刊工業新聞 10 大新製品賞を受賞した。

しかし、フラッシュメモリを製品として大きな市場を獲得したのはインテル社である。インテルは、インテル社創立 25 周年記念誌で次のように記述している。創立 21 年目の 1998 年に、東芝が発明したフラッシュメモリの製造技術を改良することによりフラッシュメモリのリーダになった。インテル社 25 週記念誌の他の 24 項目は、全てインテル社オリジナルである。それを上記のように東芝がフラッシュメモリを発明したと書くことに私は敬意を表している。さらに、2003 年 6 月には、インテル社の技術開発を統括するステファン・ライ副社長は日本で開催されたプレスリリースで「東芝の舛岡富士雄さん(現東北大教授)が発明したフラッシュメモリに注目し、構造を生産しやすく改良した。」と述べている。(井上能行:東京新聞、2003 年 6 月 19 日付け夕刊)

インテル社は 1986 年には DRAM から撤退し DRAM の技術者と CPU の技術者を加え、東芝の NOR 型フラッシュメモリの開発に従事する技術者の数百倍の技術者を投入したと聞いている。

日本で 256kNOR 型フラッシュメモリの開発を報じたのは日経エレクトロニクス 1985 年 7 月 29 日号であった。米国雑誌 BUSINESS WEEK と同じようにフラッシュメモリの言葉はなく、256k ビット EEPROM とあるだけである。以上のように筆者はフラッシュメモリと命名して発表したが当初は使われずインテル社がフラッシュメモリと使ってくれたおかげで今日のフラッシュメモリがあるのである。

4. NAND 型フラッシュメモリの発明

4.1. TI 社との米国における特許裁判の技術責任者として従事。

東芝は 1985 年に 1MDRAM で世界制覇後、米国 TI 社から米国の ITC (International Trade Commission) に訴えられた。これは、TI 社所有米国の特許に東芝の 1MDRAM が抵触するので米国への輸入の禁止を求める訴えである。東芝の 1MDRAM の米国への輸出禁止が認められると東芝の 1MDRAM は、事実上世界中で販売不可能になるのである。例えば東芝の 1MDRAM を日本で販売したとしてもそれを組み込んだ製品を米国に輸出出来ないことになる。すなわち米国へ輸出する製品を製造するメーカーは、東芝製品を日本で買わないことになるからである。このように米国の ITC の裁判は東芝の 1MDRAM ビジネスにとって非常に重要な事柄であった。このため、筆者は、1986 年 5 月より米国での裁判の東芝側技術責任者となり 1986 年 2 月までワシントンに長期出張し、米国の弁護士と共に裁

判対策を行い、法廷での証言も経験した。

4.2. NAND 型フラッシュメモリの特許提案

米国での裁判対策に従事期間中にも 1MDRAM の次の半導体産業の牽引車を考えていた。半導体メモリは、図 2 に示すように主記憶の分野までは完全に磁気メモリを駆逐した。しかし、その何倍も大きな市場を持つ不揮発性メモリの分野であるディスクメモリ(ハード・フロッピーメモリ)及び磁気テープは手付かずであった。読み出し速度、書き込み速度、消費電力、大きさ及び信頼性等の性能は、半導体不揮発性メモリが磁気メモリを圧倒している。しかし、使われない。その理由は、ただひとつ半導体不揮発性メモリの価格が高いからである。それでは、半導体不揮発性メモリの価格を桁単位で下げる方法を考えれば良いとなる。1980 年に発明した NOR 型フラッシュメモリは、1 ビット毎に消去可能であったメモリを一括消去だけを可能にする事により 1 ビットを 2 トランジスタから構成することから 1 トランジスタで構成可能にする方法を発明したのである。このメモリセルは、図 6 に示すように 1 ビットが 1 個のメモリトランジスタから構成されており、かつ 1 個のトランジスタには、ビット線が接続されている。このように各メモリセルが直接コンタクトを通じてビット線に接続していることを NOR 型と命名した。従って最初のフラッシュメモリを現在では後から発明された NAND 型フラッシュメモリと区別するために NOR 型フラッシュメモリと命名したのである。

NOR 型フラッシュメモリを図 7 に示す。各メモリセルは、図 7(a)の等価回路に示すようにそれぞれビット線に接続されており、図 7(b)の平面図に示すようにメモリトランジスタとビット線がコンタクトを通じて接続されており、1 ビットのメモリセルに占めるコンタクトの占有面積が大きいことが解る。NOR 型フラッシュメモリをさらにより 1 ビットあたりの占有面積を縮小するためには、1 ビットのメモリセルに占めるコンタクトの占有面積を無くせば良いのである。

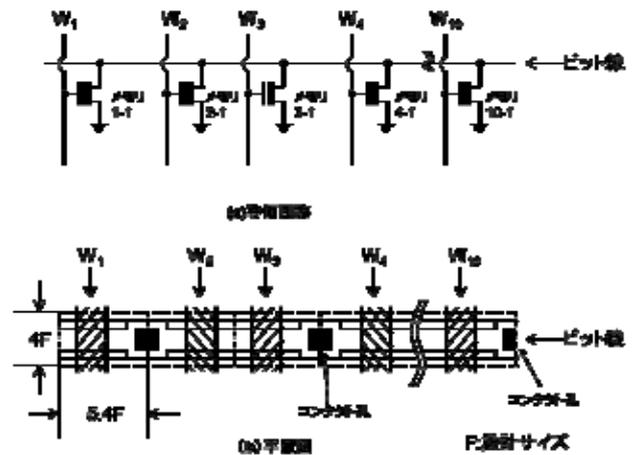


図 7 NOR 型フラッシュメモリ

答えは簡単で図 8(a)の等価回路に示すように 1 本の

ビットに多数のメモリセルを接続することにより1個のメモリセルあたりのコンタクトの占有面積を縮小することができる。すなわち図8(b)の平面図に示すようにn個のメモリセルが1個のコンタクトを通じてビット線に接続することにより、1個のメモリセルが占有するコンタクトの面積はn分の1になるのである。結果的にコンタクトの占有面積は、無視出来るほど縮小可能になるのである。図7のNOR型フラッシュメモリの1個のメモリセルの占有面積は(1)式で表せる。

$$\text{NOR型メモリセルの占有面積} = 4F \times 5.4F = 21.6F^2 \quad (1)$$

図8のNAND型フラッシュメモリの1個のメモリセルあたりの占有面積は8個のメモリセルの縦の長さが23.4F、横が4Fであるので(2)式で表せる。

$$\text{NAND型メモリセルの占有面積} = 23.4F \div 8 \times 4F = 2.9F \times 4F = 11.6F^2 \quad (2)$$

ここでFは、製造するときの最小加工寸法である。同じ加工寸法で製造したときのNAND型フラッシュメモリの1個のメモリセルあたりの占有面積は、NOR型フラッシュメモリの1個のメモリセルの占有面積の約2分の1になっている。この場合はNAND型フラッシュメモリに接続するメモリを8個の例を示した。現在32個のメモリセルを接続することによりさらに1ビットあたりの占有面積を縮小可能である。

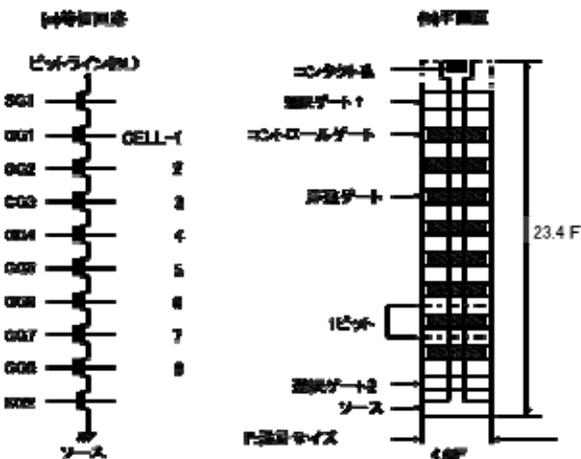


図8 NAND型フラッシュメモリ

しかし、何の犠牲もなく1ビットあたりのメモリ占有面積を縮小可能になったわけではない。次のようにNOR型フラッシュメモリ及びNAND型フラッシュメモリはそれぞれ電氣的機能を失っている。

EEPROMからNOR型フラッシュメモリの発明
 失った事:1ビット毎の消去可能から一括消去へ。
 得た事:メモリ占有面積の縮小によるコストの低下。
 NOR型フラッシュメモリからNAND型フラッシュメモリの発明

失った事:NOR型フラッシュメモリより読み出し速度が遅い。
 得た事:1.メモリ占有面積の縮小によるコストの低下。

2.NOR型フラッシュメモリと比較して書き換え回数の増加(4.5.NAND型フラッシュメモリの書き換え回数で説明する。)

磁気メモリが使われているファイルメモリの分野では、NAND型フラッシュメモリが失った機能は全く問題のない機能なのである。磁気メモリの消去は一括消去であり、書き込み及び読み出しは、モーターによる機械的回転による連続書き込み及び読み出しである。性能的には全く問題はないのである。

これらに関するNAND型フラッシュメモリの特許を1987年3月17日から19日にかけて合計8件の特許提案書を提出し、1987年4月24日に特許庁に8件の特許が出願され後に米国特許として出願された。

文献6)

4.3.NAND型フラッシュメモリの開発

DRAMに関するITCにおける東芝とTI社の和解が1987年初めに成立して、筆者はお役目御免となり1987年4月に半導体事業部から総合研究所の超LSI研究所に帰ることが出来た。研究所に戻り早速米国で裁判中に考えたNAND型フラッシュメモリの開発を開始することを考えた。しかし、いきなり10年ぶりに戻った研究所で従来からある研究計画にまったく研究を始めることは出来ない。幸いなことに設計の実習のために研究所から筆者が課長を務めていた事業部の設計課に実習に来ていた研究員が同じ所属であった。その研究員に本来持っている研究を進めながら事業部で筆者が特許出願した図8のNAND型フラッシュメモリの基本的動作の確認を始めるようお願いした。既にNOR型フラッシュメモリの開発は事業部で進んでいたため単体としてのフラッシュメモリの単体素子は入手可能であったので、NOR型フラッシュメモリの単体素子をNOR型からNAND型に組みかえることによりNAND型フラッシュメモリの基本的動作を確認可能であった。結果的にNAND型フラッシュメモリの基本的動作である書き込み、一括消去及び読み出しが確認できた。この結果を、IEDMに1987年6月投稿し、受理され1987年12月発表した。文献7)

4.4.4MビットNAND型フラッシュメモリ開発

1987年6月にIEDMに論文を投稿し、基本的にはNAND型フラッシュメモリの動作は確認できた。これだけでは集積回路としての動作を確認したことにならない。集積回路として動作の確認が必要である。当時256kビットのNOR型フラッシュメモリを事業部で開発していたので、NAND型フラッシュメモリでは、256kビットから一気に4Mビットを目標にと考えていた。

しかし、再び全く年度初から研究計画もないNAND型フラッシュメモリの開発には予算が全くない、当然設計及び試作する研究員もいない。4MビットのNAND型フラッシュメモリの開発するための、NAND型フラッシュ

シュメモリの新しいシステムと新しい回路の基本特許は、筆者は特許出願済みであった。しかし、実際に 4M ビットの NAND 型フラッシュメモリの開発することにより実践的な特許を多数取得可能であるこのために開発することが必要である。これまでは、従来インテル社を始めとする米国の各社が開発してきた新しいメモリシステム及び回路開発し、日本の会社が追随していた。従来とは全く反対に、日本から全く新しいメモリシステム及び回路を発信することになり、学問的にも特許的にも大きな貢献であることは明白である。そのために是非進めたいと超 LSI 研究所長に直訴した。当然予算がない。即却下である。それではと、当時の東芝の家電技術研究所ではデジタルカメラの開発を開始していた。当時のデジタルカメラの記憶媒体はフロッピー・ディスク等の磁気メモリであった。家電技術研究所長に「我々が開発する 4M ビット NAND フラッシュメモリが成功すると、1 チップで 256k バイトフロッピー・ディスク 2 枚分となり、カメラに駆動部がなくなり、切手大の大きさで重さは 10 グラム以下、消費力は無視出来る程縮小される。」と説明した。結果的に 21 年前に現在のデジタルカメラの説明を行ったことになり、感無量である。家電技術研究所長はメカニズムも聞かず私を信じて、マスク代 1000 万円を 4M ビット NAND 型フラッシュメモリの開発費として負担していただくことができた。お客がつけば、超 LSI 研究所長としては完全にバックアップ側にまわり、私のグループに所属する研究員の研究題目を期の途中であるが変更を認めていただいた。かつ超 LSI 研究所の最重要研究課題にも挙げられた。4M ビット NAND 型フラッシュメモリの新しいシステム設計、回路設計及びデバイスの開発を平行して進めた。4M ビット NAND 型フラッシュメモリの最初の試作に 1988 年 7 月に成功し半導体のオリンピックと言われた ISSCC に投稿し 1989 年 2 月に発表した。(文献 8) 東芝は、1989 年 2 月の ISSCC の後に外国人記者クラブで世界発の 4M ビット NAND 型フラッシュメモリ開発成功を超 LSI 研究所長と私等が記者発表を行った。その後事業化のため半導体事業部に移管することには苦難が待っていた。私は 1977 年から 10 年間半導体事業部の応用技術課、製造技術課及び設計課にそれぞれ数年間所属し、上記 3 課員全員皆仲間であったので製品化に対して個人の繋がり非常に協力していただき成功することが出来た。商品化後 4M ビット NAND 型フラッシュメモリをメモリカードと使用したデジタルカメラの商品化に東芝家電技術研究所は成功した。しかし、デジタルカメラ一式が 150 万円であった。これでは売れず結局 2 年ほどで撤退せざるを得なくなった。その後デジタルカメラは、カメラメーカーだけでなく、フィルムメーカーも製品化に成功した。これは、フィルムメーカーが従来のフィルムが無くなるとの危機感からデジタルカメラの開発を開始したからである。当時我々と共にデジタルカメラの商品化に成功した東芝家電技術研究所の多数の技術者がフィルムメーカー等に移籍し、現在のデジタルカメラの発展に寄与して

いる。

4.5. NAND 型フラッシュメモリの書き換え回数

NAND 型フラッシュメモリは当初から磁気メモリの置き換えを狙っていた。(文献 9) NAND 型フラッシュメモリは、半導体メモリであるので消費電力、読み出し、書き込み、及び消去等の電気的特性は当初から磁気メモリの置き換えに問題ないと考えていた。逆に NAND 型フラッシュメモリは、半導体であるから占有体積、重さ及び耐衝撃性等は圧倒的に強い特性を持っていることは明白である。唯一問題である可能性があるのは、書き込み及び消去による絶縁膜(SiO₂等)の劣化である。

NAND 型フラッシュメモリの書き込み及び消去は、図 4 に示すように酸化膜で囲まれた浮遊ゲート(シリコン)に電荷酸化膜を超えてファウラーノルドハイムトンネル(文献 10)で注入し書き込み、取り出すことによって消去を行っている。書き込み及び消去は、絶縁膜中に電荷を無理やり通している事により絶縁膜の劣化を起こす。絶縁膜中に電荷を通す事による絶縁膜の劣化は物理的に現在我々が使用している絶縁膜では避けることは困難である。絶縁膜中に電荷を通す事による絶縁膜の劣化は、基本的には避けられない現象である。しかし、電荷を絶縁膜中にどのように通すかによって絶縁膜の劣化が異なることに注目した。すなわち、NAND 型フラッシュメモリの書き込み消去により絶縁膜中に電荷を通す事による絶縁膜の劣化を最小にすることが可能な書き込み及び消去方法を探索した。(文献 11)

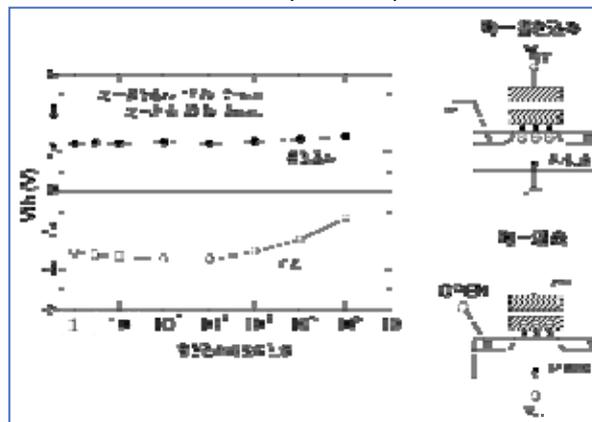


図 9 書き込み及び消去ともにゲート全面からのファウラーノルドハイムトンネルによる書き込み及び消去後の V_{th}

図 9 に書き込みはゲート全面よりファウラーノルドハイムトンネルで基板全面から浮遊ゲート全面に電子の注入を行い、次に浮遊ゲート全面から基板全面に電子を引き出す場合の書き込み及び消去回数のセル窓幅依存性を示す。セル窓幅とは、(3)式に示すように書き込み後の V_{th} と消去後の V_{th} の差である。

セル窓幅 = 書き込み後の V_{th} - 消去後の V_{th} (3)
セル窓幅は、(3)式を用いて 10^5 回までほぼ一定である。書き込みはゲート全面に電子を注入し消去は浮遊ゲートの一端のみからソースに抜く場合と比較して図 9

の全面書き込み及び消去の書き換え回数は約 100 倍向上する。この実験は同じ製造条件で作成したフラッシュメモリの動作方法の違いによる書き換え回数依存性を比較した結果である。当然浮遊ゲートを囲む酸化膜の質により大きく改善される。

4.5.1.

NAND 型フラッシュメモリはなぜ全面書き込み及び全面消去が可能か？

最初にインテル社が開発した 16k ビットの EEPROM は、図 5 に示すように 1 個のメモリセルは 1 個の選択トランジスタと 1 個のメモリトランジスタから構成されていたため、全面書き込み及び全面消去が可能であった。選択トランジスタにより、書き込み時に多数のビットラインに印加された書き込み信号は、選択ゲートにより選択されたメモリセルにのみに信号を伝達可能になる。すなわち 1 個のメモリセルが選択トランジスタを持つことにより全面書き込み及び全面消去が可能になるのである。

NOR 型フラッシュメモリでは、選択トランジスタを無くすことによりメモリセルの縮小化を実現した。一方 NAND 型フラッシュメモリでは、図 8 に示すように、メモリトランジスタ 8 個に対して選択ゲート 1 を構成する 1 個のトランジスタと選択ゲート 2 を構成する 1 個のトランジスタの合計 2 個の選択トランジスタを追加した 10 個のトランジスタから構成されているので、1 個のメモリセルあたりは 1.25 個のトランジスタから構成されていることになる。32 個のメモリセルを持つ NAND 型フラッシュメモリは、32 個のメモリトランジスタと 2 個の選択トランジスタから構成されるので、1 個のメモリセルあたりは、1.0625 個のトランジスタから構成されていることになる。結果として、NAND 型フラッシュメモリに付加した選択トランジスタの 1 メモリセルあたりの占有面積の増加分は、0.0625 倍と非常に少ない。NAND 型メモリの構成により選択トランジスタを使用しながらビットあたりの占有面積の増加は無視できる程小さくできるのである。

NAND 型フラッシュメモリの回路構成を採用することにより、選択トランジスタの追加による 1 個のメモリセルあたりの占有面積増加は無視できる程縮小可能になり、かつ全面消去及び全面書き込みが可能になったのである。

5. まとめ

NOR 型フラッシュメモリ及び NAND 型フラッシュメモリの発明から開発までを述べた。フラッシュメモリの発明の原点は市場の大きいファイルメモリの分野を占有していた磁気メモリを置き換えることである。フラッシュメモリの製品化によって安く、軽く、小さく、消費電力も少なくそして落としても破壊しないファイルメモリを実現できた。フラッシュメモリは、自動車、テレビ、冷蔵庫、電子レンジ、携帯電話、USBメモリ、デジカメラ及びパソコン等

に使われ、社会に大きな影響を及ぼしている。このような発明ができる時期に生まれたことは幸いです。当然私一人で実現できたことではなく、関係した皆様へ深く感謝いたします。

6. 引用文献

- 1) D.Kahng and S.M.Sze: Bell System Tech. J. 46, 1288(1967)
- 2) W.S.Johnson, G.Periegos, A.Renninger, G.Kuhn and T.R.Ranganath:ISSCC Digest of Technical Papers, P.152,(IEEE 1980,San Francisco.)
- 3) F.Masuoka:United State Patent 4,803,529, Feb. 7, (1989).
- 4) F.Masuoka,M.Asano,H.Iwahashi,T.Komuro and S.Tanaka:IEDM Technical Digest p464,(IEEE 1984 ,San Francisco.)
- 5) F.Masuoka,M.Asano,H.Iwahashi,T.Komuro and S.Tanaka: ISSCC Digest of Technical Papers, P.168,(IEEE 1985,New York.)
- 6) F.Masuoka:United State Patent 5.313,420,May 17,(1994).
- 7) F.Masuoka,M.Momodomi,Y.Iwata and R.Shirota; :IEDM Technical Digest p552,(IEEE 1987 ,Washington,D.C.)
- 8) Y.Itoh,M.Momodomi,R.Shirota,Y.Iwata,R.Nakayama R.Kirisawa,T.Tanaka,K.Toita,S.Inoue and F.Masuoka: ISSCC Digest of Technical Papers, P.134,(IEEE 1989,New York.)
- 9) 舩岡：躍進するフラッシュメモリ p155 (1992年10月工業調査会)
- 10) M.Lenzlinger and ,E.H.Snow:J. of Allied Physics. 40, 278(1969).
- 11) S.Aritome,R.Shirota,G.Hemink,T.Endoh and F.Masuoka:Pro.of the IEEE 776,81,(1993).