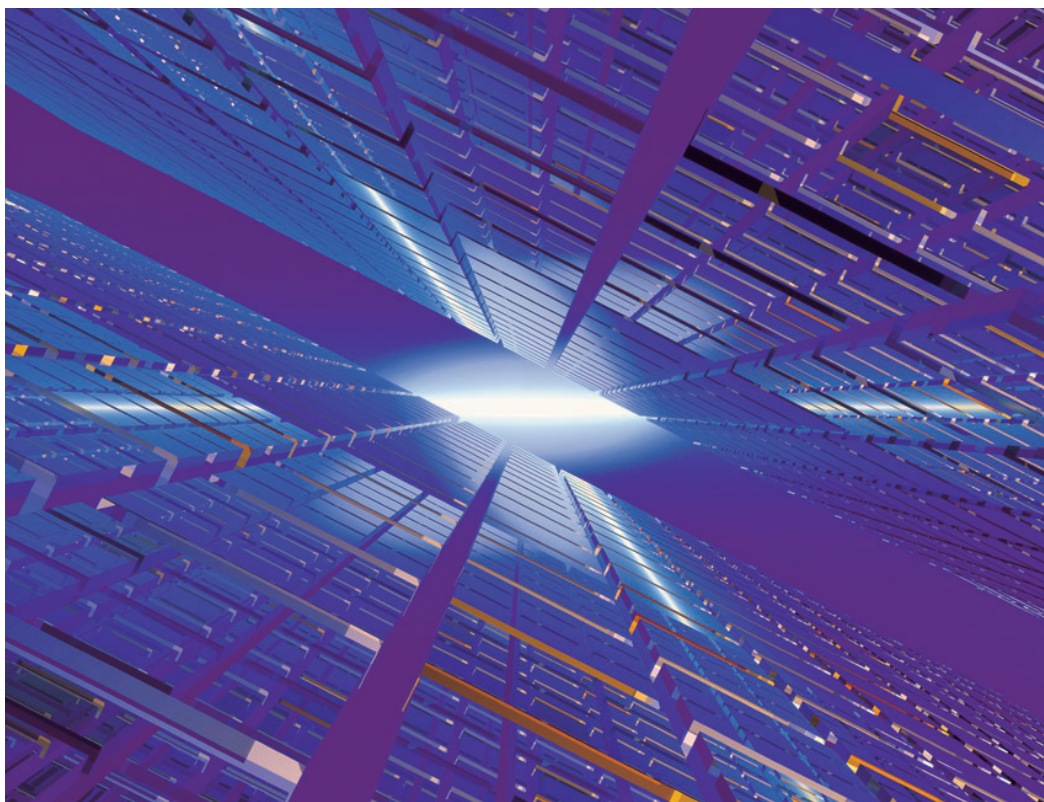


半導体産業研究所 年次報告書

2 0 0 5 年度



SIRIJ

Semiconductor Industry Research Institute Japan

SIRIJ

SIRIJ

— 目 次 —

ご挨拶

第41回理事会・第12回通常総会の開催

2005年度 事業報告の概要

＜特別テーマ＞

「日本半導体産業のグランドデザイン」

「第2次SNCC（半導体新世紀委員会）提言の具体化」

＜ATLASプロジェクト＞

「アプリケーションから見たSoC上流設計の課題解決に向けた仕組みづくり」

「ナノエレクトロニクスの研究開発と産学独連携のあり方」

2005年度 財務報告

2006年度 構成会社一覧

半導体産業研究所 名簿

SIRIJ

ご 挨 拶



理事長：伊藤 達



新理事長：室町 正志



所長：前口 賢二

世界半導体市場における企業間競争は激化の一途を辿っており、日本の半導体産業は大きな転換点を迎えています。半導体産業研究所の設立趣旨である「日本の半導体業界のシンクタンク」としての役割を再確認し、日本半導体産業の競争力強化に向けた意義ある提案作りを目指します。

2005年度は、“10年後を見据えた日本半導体産業発展のための基本設計（グランドデザイン）”の作成を中心に研究活動を行ってきました。日本半導体産業が置かれている立場と課題を過去、現在の事業分析から明らかにしました。また10年後の半導体市場の変化と競争条件の変化を予測し、10年後を見据えた課題と基本戦略について議論してまとめました。日本のデバイス企業は、低収益のために次の投資のためのキャッシュが確保できず、技術力を含む競争優位性の低下、グローバルなシェアの低下、利益の低下という負のサイクルに陥っております。しかし半導体市場は今後もBRICsを中心に拡大することが予測されます。半導体技術が将来のイノベータイブなサービスや製品を生み出す源泉であることは変わりません。付加価値源泉確保に向けた事業構造改革、持続的なイノベーション創出へのインフラ強化、そして海外中心への経営のシフトを基本戦略として提案しました。グランドデザインを通して明らかになった種々課題の解決に向けた具体策の検討は2006年度のテーマと考えています。2004年度からの主要テーマであった第2次SNCC（半導体新世紀委員会）は、産コンソーシアムであるSeleteとSTARCが行う“あすかⅡ”プロジェクト、Seleteが行う産業界プロジェクトと産学官で行う国家プロジェクト“MIRAI”の密な連携を目指した“つくば半導体コンソーシアム”をスタートさせ、2005年度に終了しました。また中長期的な技術テーマはSoC上流設計課題とナノエレクトロニクス課題に取組みました。SoC上流設計課題は、将来のマルチコアプロセッサの共通技術課題および上流EDA技術課題を明らかにしてSTARCへ提言しました。日本におけるナノエレクトロニクス研究への取り組みと体制作りに関しては2006年度も継続検討します。

2006年度はグランドデザインのローリングおよび主要課題の解決に向けた具体策の提言作りを事業の中心と考えています。グランドデザインの視点から、各社の高収益事業構築に役立つインフラ面の強化を中心に、実行できる、かつ意義ある強化策の提言を目指します。また各国の産業政策、技術政策動向調査の再強化を行います。不透明な将来の半導体応用市場などに関しても調査研究の対象として検討を進める所存です。引き続き皆様のご理解とご協力をよろしくお願いいたします。

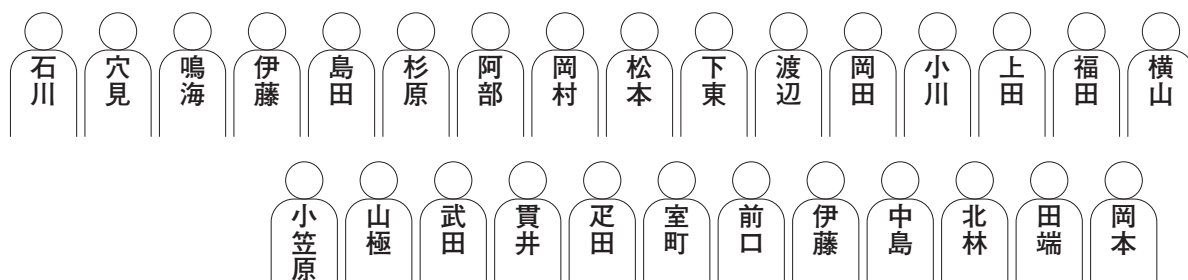
第41回理事会・第12回通常総会の開催

— 室町新理事長を選出 —

半導体産業研究所（SIRIJ）は、2006年5月31日（水曜日）富国生命ビル（千代田区内幸町）で第41回理事会ならびに第12回通常総会を開催し、2005年度事業報告及び収支決算を承認し、2006年度事業計画及び予算を審議決定した。事業報告及び事業計画では、日本半導体産業復活の鍵を握る研究テーマ「グランドデザイン」を中心に審議された。提言に向けて、さらに詳細に検討を行い、具体化を進めることになった。

役員の二年任期満了に伴い、役員の改選を行い、新理事長に室町 正志氏（株式会社東芝 執行役上席常務 セミコンダクター社 社長）を選出した。

2006年度から理事会の開催を5月と11月の年2回とすることが決定された。



通常総会議事

伊藤理事長の挨拶、前口所長の挨拶ののち、議事に入った。(委任状を含めて定足数を満たし、総会が成立したことが上田企画部長より報告された。)

第一号議案 2005年度事業報告および収支決算承認の件

第二号議案 2006年度事業計画(案)及び予算(案)審議決定の件

第一号議案と第二号議案における事業報告、事業計画(案)については、総会直前に開催された第41回理事会において、前口所長からの「SIRIJ概況」、および、引き続いての「グランドデザイン」の報告において審議された内容について承認された。

グランドデザイン策定の提言について、各理事から出された意見を踏まえ、さらに詳細に検討を行い、提言の具体化を行うことが了承された。

ATLASテーマ「アプリケーションから見たSoC上流設計の課題解決に向けた仕組みづくり」及び「ナノエレクトロニクスの研究開発と産学独連携のあり方」、第2次SNCC「つくば半導体コンソーシアム準備報告」については、第40回理事会にて詳細報告され審議されているので、報告書(ドラフト版)を回覧し、2005年度にて終了した。

また2006年度活動として、米・欧・アジアにおける半導体政策に関する情報の収集と分析を行い、会員各社への情報提供並びに対外的提言へのバックデータとして活用する「海外政策調査活動」に取り組むことが了承された。

その他 理事会の開催について、今後5月及び11月の年2回の開催とすることが承認された。

2005年度収支決算および2006年度予算(案)について、前口所長のSIRIJ概況報告における概略説明を受け、石川総務部長より、詳細報告を行った。2005年度決算、2006年度予算(案)はともに異議無く承認された。

第三号議案 役員改選の件

理事及び監事は、規約により本総会終了をもって任期満了となるため、新たに新役員の選任を行い、全会一致で全員が改選された。

総会後に開催された理事会において、新理事長として室町理事が選任された。また所長には前口所長が再任された。

半導体産業研究所役員名簿

2006年5月31日現在
(順不同、敬称略)

理事長

室町 正志	株式会社東芝 執行役上席常務 セミコンダクター社 社長
-------	--------------------------------

理事・所長

前口 賢二	所長
-------	----

理 事

小野 敏彦	富士通株式会社 取締役専務
川上 博平	松下電器産業株式会社 半導体社 システムLSI開発本部 本部長
中島 俊雄	NECエレクトロニクス株式会社 代表取締役社長
北林 宥憲	沖電気工業株式会社 常務執行役員 半導体事業グループチェアマン
伊藤 達	株式会社ルネサステクノロジ 代表取締役 会長&CEO
疋田 純一	ローム株式会社 常務取締役
田端 輝夫	三洋電機株式会社 常務執行役員 部品デバイスグループ 半導体カンパニー社長
大月 康正	セイコーエプソン株式会社 常務取締役 (電子デバイス担当)
貫井 孝	シャープ株式会社 取締役 電子デバイス事業統括
眞鍋 研司	ソニー株式会社 コーポレート・エグゼクティブ EVP 半導体事業GP本部長
金子 和夫	社団法人電子情報技術産業協会 専務理事

監 事

小笠原一晃	社団法人電子情報技術産業協会 常務理事
-------	------------------------

2005年度 事業報告

2005年度の事業活動はほとんど「グランドデザイン」にフォーカスして行なわれた。

■「グランドデザイン」では、上期、半導体産業の過去・現在・未来について外部の調査会社に調査分析を委託し、その調査結果から日本半導体産業の主要な課題を洗い出した。下期では、各社の委員の協力を得て、3つのワーキンググループを組織し「ビジネスモデル」、「インフラ戦略」、「海外戦略」について、議論を進めた。2005年11月及び2006年2月の理事会における討議を踏まえ、日本半導体産業の10年後のあるべき姿に向けての行動に関する提言について検討を進めた。

■「コンソーシアム支援」活動では、第2次SNCC提言に基づき、2006年4月から発足する「あすかⅡプロジェクト」と「つくば半導体コンソーシアム」に関して起案を行い、発足に向けての検討と準備を行った。

■「個別テーマ研究」では半導体技術の発展に関する研究として、下記2件のテーマを推進した。

- (1) 「アプリケーションから見たSocC上流設計の課題解決に向けた仕組みづくり」
- (2) 「ナノエレクトロニクスの研究開発と産学連携のあり方」(Selete委託研究)

1. グランドデザイン

「日本半導体産業のグランドデザイン

—10年後に向けたビジョンと提言の策定—」

日本の半導体産業は世界市場の過半を越えたこともあるが、その後、長期に渡って低収益傾向を続け、未だに回復の兆しは見られていない。これまでのSIRIJは通商問題、技術課題を中心に提言してきたが、依然悪化の一途を辿る状況を踏まえ、経営課題まで踏み込んだ検討を行うことにした。過去・現状分析、10年後の市場・環境予測を、調査会社の協力を得て分析を行い、日本半導体産業の課題を明確にした。

現在230B\$の半導体世界市場は10年後には500B\$規模に倍増し、BRICs市場が急成長するなかで、日本の現状の競争力が維持されたとしても、国内市場中心の日本の半導体産業は、日本のマーケットの相対的縮小により世界シェアは20%以下に低下することが予想される。また、現在の低収益構造では必要な研究開発費が負担出来ずに技術競争力は更に低下、収益力が更に低下する危険性は大きい。

経営上の課題については、半導体事業としての成長モデルを作れなかったこと、環境変化に対応すべき事業の選択と集中が不十分であったこと、付加価値の源泉となり得る技術が先端プロセス技術から設計・システム技術に移行するなかで、日本半導体産業がデファクト・デジュール製品を産み出せないことが主要因と考えられる。

これらの課題を解決し、世界の中で存在感を向上させるため

■経営課題について検討するビジネスモデルWG

■イノベーション創出のためのインフラ戦略WG

■成長する海外市場へ対応する海外戦略WGの3つのWGを構成し、以下の基本戦略を策定した。

■付加価値源泉確保に向けた事業構造改革

■持続的なイノベーション創出へのインフラ強化

■海外中心の経営へのシフト

更に、WGにて、これらの具体的提言に向けた今後の取り組みについて検討した。

2. コンソーシアム支援と

第2次SNCC提言の具体化

(1) 「コンソーシアム支援」

JEITA半導体部会役員会のコンソーシアムに対するガバナンスのサポートとして、SIRIJ所長の下でコンソーシアCEO連絡会を開催し、産学連携、設計・プロセス連携、成果の事業化など、コンソーシアム間に跨る課題などについて意見交換および調整を行った。

2005年度は、ASPLA及びAS☆PLAプロジェクトの発展的終息と、「あすかプロジェクト」の終了という転換点に当たる年であった。ASPLAの業界シャトルは、STARCを窓口として当面継続する。

(2) 第2次SNCC提言の具体化

2004年度行った第2次SNCC実行計画策定の内、新Seleteに関する検討は、Seleteの新Selete準備室で、STARCに関する検討は、STARCで行った。

SIRIJでは、つくばR&Dセンター準備委員会にて検討を行い、「つくばR&Dセンター」を「つくば半導体コンソーシアム(TSC)」と改称し、2006年4月に発足させることを決めた。2006年度以降のSeleteと国プロジェクトであるMIRAIプロジェクトがより強く連携できるようにするため、つくば半導体コンソーシアム連携総括リーダーによる一元的マネジメントを可能とした。渡辺

Selete社長が、つくば半導体コンソーシアム連携総括リーダー、並びにMIRAIプロジェクトリーダーを兼ねることになった。

民間プロジェクトにおいては、「あすかプロジェクト」に引き続き、「あすかⅡプロジェクト」を2006年4月から5年間の予定で発足させた。SeleteとSTARCとも、新たに先端コアプログラム、選択プログラムを導入し、11社で実施する共通コアプログラムも含めて、よりクライアントのニーズに対応できる体制とした。国から受託するMIRAIプロジェクトは、2006年4月より第3期となり、Seleteが産業技術総合研究所／ASETとともに新たな共同受託者となった。

Seleteの活動費は、年間約140億円／年で、パートナーとして参加する装置メーカーからの費用や国からの受託金約40億円／年を含む。先端コアプログラムとして、「Metal-gate/High-k実用化技術」、「Low-k/Cu実用化技術」、「次世代リソ・マスク技術」を行う。国からの受託プログラムとして、「次世代マスク基盤技術」、「カーボン配線技術」、「LSIチップ光配線技術」、「ロバストトランジスタ技術」を行う。共通コアプログラムとして、「TCAD機能強化技術」、「生産システム技術」を行う。選択プログラムとして、「第2世代300mm生産技術」を行う。

STARCの活動費は、年間約50億円／年で、国からの補助金約10億円／年を含む。共通コアプログラムとして、「産学共同研究と設計教育」、「標準化」を行う。先端コアプログラムとして、国の補助金も得て「プロセスフレンドリー設計技術」を行う。選択プログラムとして、「高位設計」、「テスト・故障解析」、「Mixed Signal」、「IP育成支援」を行う。

3. ATLAS

—半導体技術の発展促進に関する研究

- (1) 「アプリケーションから見たSoC上流設計の課題解決に向けた仕組みづくり」

—アプリケーション視点からの

SoC設計課題の検討—

SoCを開発するうえで、上流設計の開発負担が急激に増加してきており、このままでは2010年までには技術的および経済的な限界により、SoC設計が破綻する方向が見えてきた。上流設計効率化のためにはアプリケーション視点に立った設計課題の解決を図る必要があり、これらの解決策として2004年度で、上位設計のEDA技術（Electronic System Level（ESL）-DA技術）や設計手法の確立およびプラットフォーム化による設計資産再利用の徹底的推進を提案し、2005年度はそれを解決

するための具体策を検討してきた。ESL-DA技術や設計手法については、具体的な14件の研究テーマを提案した。また、プラットフォームについては、競争領域といわれる車載、携帯電話、情報家電の各分野を調査して、その中から共同開発の可能性が高い開発テーマ（車載：6件、携帯：6件、情報家電：8件）を洗い出した。また、プラットフォームを構築するうえで、今後不可欠となるマルチコアプロセッサに関する共同開発の項目についても提案した。さらにこれらの提案を実現するために以下のような具体的活動を開始すべきであることを提言した。

■応用分野向けプラットフォーム構築を含む新市場やセット対応について、SIRIJにて継続検討を行う。

■ESL-DA技術やマルチコアプラットフォームの技術について、STARCにて具体的検討（調査研究）を開始する。

- (2) 「ナノエレクトロニクスの研究開発と産学独連携のあり方」

半導体デバイスのスケーリングは、およそ10年後には技術的および経済的な理由によって限界を迎えると予測されることから、新たな付加価値創出手法とそれを応用したアプリケーション開拓が急務である。高度な革新技術を、限られたリソースで他国に先んじて開発するには、将来技術の研究を先行して行っている大学・独法研究機関（旧国研）との分野横断的な連携や国際的な技術協力など、業界としての戦略的な取り組みを図るべきである。本研究では、下記項目について調査研究し、報告書にまとめた。

■世界の主要研究機関及び国内大学におけるナノエレクトロニクス研究への取り組み状況の把握

■ナノエレクトロニクス関連技術のロードマップ案作成

■ナノエレクトロニクス技術の研究開発を促進させるための産学独連携の仕組み検討

■ナノエレクトロニクス技術の研究開発促進に向けた国への提言案作成。

2006年度 事業計画

1. グランドデザイン

2005年度に策定されたグランドデザインの内容を受けて、2006年度では、「実行に向けた提言案の具体化」、「内容の充実を目指した追加・深掘り」、「データの更新」を実施する。それぞれの内容は以下の通り。

(1) 提言案の具体化

策定作業の結果として提示された提言案について、具体化に向けた検討作業を行う。具体的な内容としては以下の3点に分類される。

①11社向け提言案の具体化検討

・グランドデザインで提示された提言案について11社の意向を確認しながらJEITA等の関係機関とも調整を行いつつ具体化に向けた検討を行う。

②大学向け提言案の検討

・SIRIJ/JEITA/Selete/STARCの関係4者にて連携しながら具体的な内容を検討し大学に向けて提言を行なう。

③税制・法制に係る課題の研究

・「半導体産業戦略推進会議」で検討された提言内容の実現状況の確認を行うとともに新会社法の研究会を実施し、現状の法制度の問題点を明確化する。

(2) 追加・深掘り

前年度のグランドデザイン策定作業の中では十分に検討できなかった項目や、グランドデザインの検討結果として、今後の調査研究の必要性が明らかとなった項目について、追加・深掘りを行う。

具体的な項目としては、以下の3点を予定。

①海外リーディングメーカーの将来動向調査

・前年度グランドデザインでは現状の延長線上で海外リーディングメーカーの将来像を描くのみに留まった。今年度は、それら企業の将来に向けた事業戦略を分析し、現状の単純な延長に留まらない将来予測を行うことで、グランドデザインの今後のローリングの基礎データとするとともに、11社の戦略検討の素材を提供する。

②環境問題

・今後一層重要となってくる環境問題について、中長期的視点から半導体業界としての課題をピックアップし、今後の対応方針を検討する。

③マーケティング力強化

・グランドデザインで重要な課題として指摘されたマーケティング力強化について、

海外有力企業の事例分析を行い日本メーカーの現状との比較することにより、日本メーカーの目指すべき今後の方向性をより具体的に提示する。

(3) グランドデザインデータの更新

前年度のグランドデザイン作業で予測・収集したデータについて更新を行う。更新データとしては、以下の3件を予定。

①市場予測データ（2005年実績、2010年予測）

・昨年度の調査では2005年データが実績見込みであったため、今回実績値に改訂する。同時に2010年の予測データの更新を行う。

②主要半導体企業業績データ（2005年実績）

・昨年度調査で収集した主要企業の業績関係データについて2005年度実績データを追加する。

③会員企業人員構成調査

・昨年度実施した11社人員調査のデータを更新するとともに、人材流動化の状況を把握することを目的に、採用・退職データも収集する。

2. 海外政策調査

米・欧・アジアにおける半導体政策に関する情報の収集と分析を行い、会員各社への情報提供、並びに対外的提言へのバックデータとして活用することを目的とする。調査対象は、各国・地域の半導体関連の政策（コンソーシアムを含む）の動向とし、マーケティングは含まず、以下の方法を取る。

■既存情報網のある拠点に対しては、定点観測体制を整備し、JEITA等関係機関と協力し、効率的な情報の収集を行う。

■既存情報網の手薄な地域並びに、上記拠点において重点調査項目のある場合は、調査委託を行う。

2006年度の計画は下記の通り。

(1) 定点観測体制の整備

SIRIJ企画委員ならびに外部専門家の協力を得て委員会形式にて行う。本年度中に既存情報網のある米・欧・中の定点観測体制を、JEITA/JETRO並びに調査機関の協力を得て整備し、試行調査を行う。インドに対しては、定点観測体制の検討を行う。

現地に依頼する情報は、主として公開情報では得られないものを中心とする。公的支援予算の各年値とその流れ、半導体コンソーシアム・関係組織・意思決定組織に関する改変情報、半導体に関わる政策の変更や法的・制度的改変、公開情報の

背景や裏話、決定前情報などとする。

(2) 重点調査

SIRIJで企画を行い、現地調査会社等に委託する。候補として、米国・インドを考えている。

3. コンソーシアム支援

JEITA半導体部会役員会が行うコンソーシアムに対するガバナンスを、役員会の委任を受けサポートする。

2006年度計画は以下の通り。

(1) コンソーシアCEO連絡会開催

SIRIJ所長の下にコンソーシアCEO連絡会を開催し、産学連携や第2次SNCCの見直しなど、コ

ンソーシアム間に跨る課題について意見交換と調整を行う。

(2) コンソーシアム支援・連携業務

■つくば半導体コンソーシアム（TSC）連携総括リーダーの諮問機関・支援機関であるTSC協議会・各連絡会の運営のサポートを行う。

■SIRIJのナノエレクトロニクス委員会をTSC産学独連絡会と共同開催し、今後の日本におけるナノエレクトロニクスの研究体制のあり方の検討、並びにつくばなどをベースとした日本のナノエレクトロニクス構想などの検討に参画する。

■第2次SNCC提言で、今後の検討に託した2008年度以降の課題について、第2次SNCC提言の見直しを必要な範囲で行う。

2005年度 事業報告の概要

<特別テーマ>

テーマ1：日本半導体産業のグランドデザイン

I. 過去の分析

日本の半導体産業は黎明期から民生用アナログ半導体などで米国のキャッチアップを図り、1980年代にはDRAM分野における躍進により世界市場の過半を占めるにいたった。その後プラザ合意、日米半導体貿易摩擦を経て、米国の復活、アジアの台頭などもあり日本の半導体産業は市場シェア、収益性ともに長期低迷を続けている（図1）。この間半導体産業の競争力強化に向けた各種提言がおこなわれ、それらに基づいて技術開発コンソーシアムの設立、法制度改革などの対策が打たれたものの、日本の半導体産業全体としては未だ回復の兆しは見られない。

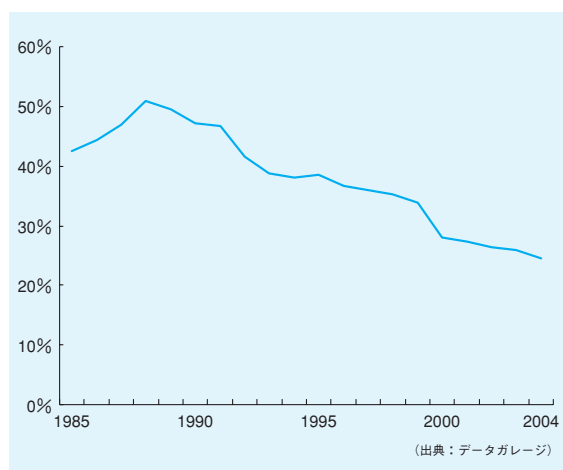


図1 日本国籍半導体メーカーの世界シェア推移

経営上の課題としては、各社が横並びでSoC事業分野に傾注したこと、過当競争体質を引きずり続けたこと、各社独自の事業の選択と集中が不十分であったこと、があげられる。また、低収益であった原因の一つとしては、総合電機メーカーの一部門であったがゆえに、必要な投資が小さく資本コストの観点から数%程度の収益性で成り立つ他の事業部門と横並びで評価されたため、半導体事業として本来要求されるべき高い収益性を求められなかったことがある（図2）。

この結果、半導体事業において十分なキャッシュフローが生み出されず、事業を成長させるのに必要な投資が確保されなかったため、結果的に成長モデルを作れなかった。

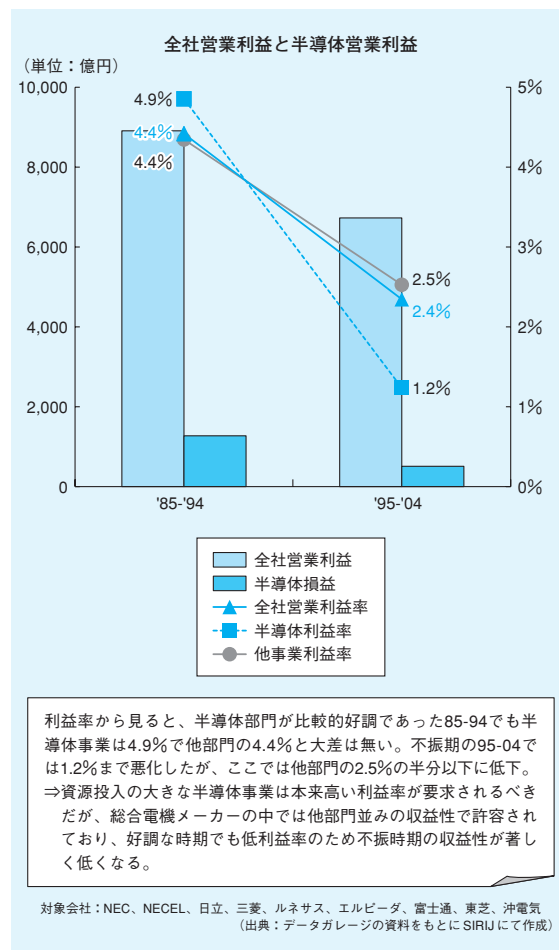


図2 総合電機メーカーの中での半導体事業—利益寄与—

半導体産業の構造面からみると、1995年頃を境として市場構造と産業構造は大きな変化を示した。

セット市場の中心は企業から個人へ移り、半導体市場では欧米・日本からアジアへ成長の中心が移った。また市場の構成もプロダクトアウトの製品中心からマーケットイン的製品中心へと変わってきた（図3）。半導体業界の中では、ビジネスモデルが多様化し、垂直統合型企業に加えて、水平分業でコストミニマムを狙うファブレス／ファンドリー企業が出現し、大きく伸長した。またデファクトおよび国際標準を握ったセット企業へのシェア集中が加速、このグローバルスタンダード製品への参入の有無が半導体事業に大きな影響を与えるようになった。

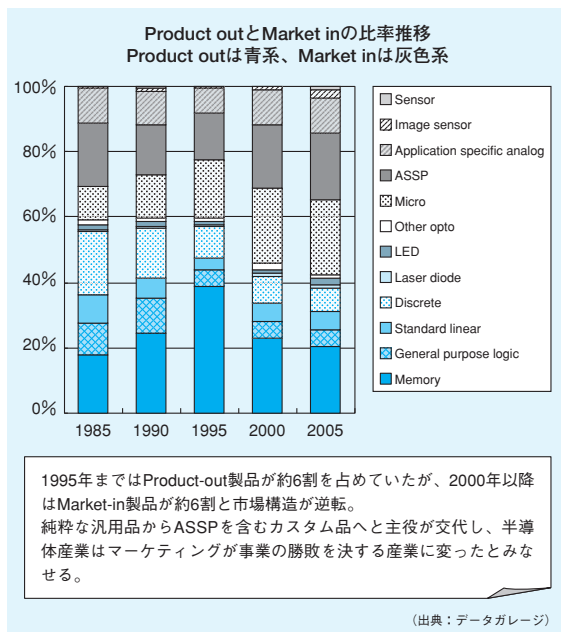


図3 半導体市場の変化:Product-OutからMarket-Inへ

一方半導体プロセス技術の進歩はシステムの要求レベルを凌駕し始め、先端プロセス技術が付加価値源泉となり得る半導体製品はマイクロプロセッサ、メモリなどの一部製品に限定されてきた。その結果、標準的なSoCに代表されるロジック製品の付加価値源泉はプロセスから設計・システム技術に移った。

日本企業がこのような競争条件の変化に対して十分な対応が出来なかったことが長期低迷の主要因と考えられる。

II. 10年後の予測

今から10年後を予測すると、世界の半導体市場規模は約500B\$に倍増すると予想される(図4)。

アプリケーションから見ると、これまで半導体産業を牽引してきたPCや携帯電話市場が今後とも拡大する一方で、その他の様々なアプリケーションが成長し市場の多様化が進む。それと同時に既存のアプリケーション間の融合も加速すると考えられる(図5)。

デバイス別でみると、メモリではカード向けのNANDフラッシュが、アナログではユビキタス機器の電源向けのレギュレーターがそれぞれ大きく伸長する。他方、ロジック分野ではカスタム製品の成長率が低くASSP製品の高い成長率となる(図6)。

また、地域別で見ると、中国市場とその他の新興地域が高成長を続け、中国市場だけで世界市場の3割を超え、その他の新興地域を合わせると世界市場の過半を占めることとなる(図7)。

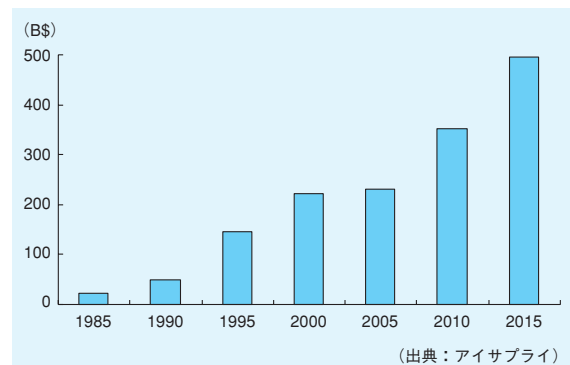


図4 半導体市場規模予測

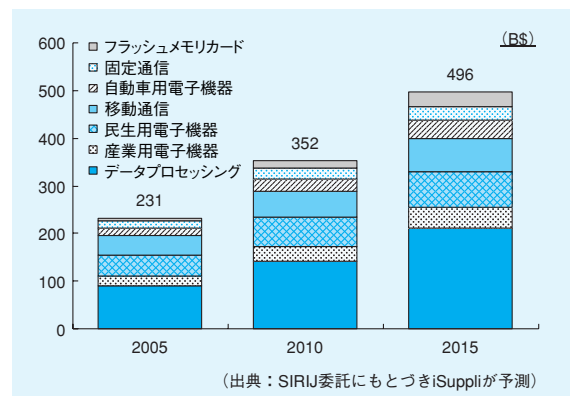


図5 アプリケーション別半導体市場予測

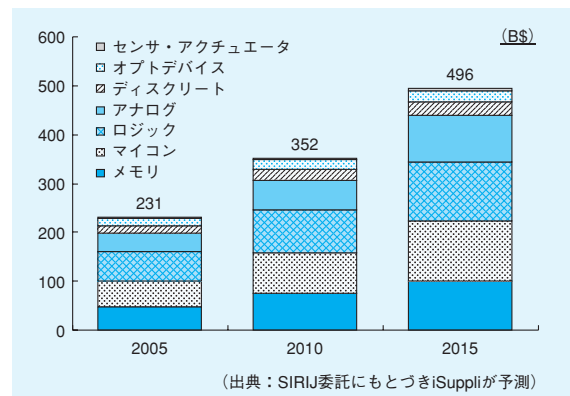


図6 デバイス別半導体市場予測

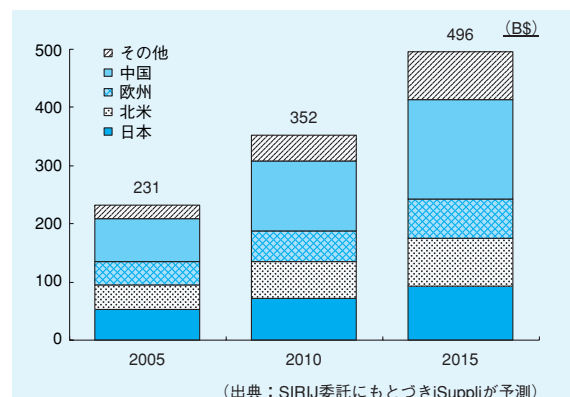


図7 地域別半導体市場予測

この結果、世界の半導体市場における日本市場の割合は縮小することとなり、日本半導体産業の競争力が現状レベルで維持されたと仮定しても日本市場が相対的に縮小することにより国内市場に対する依存度の高い日本企業の世界シェアは20%以下に低下することが予想される（図8）。

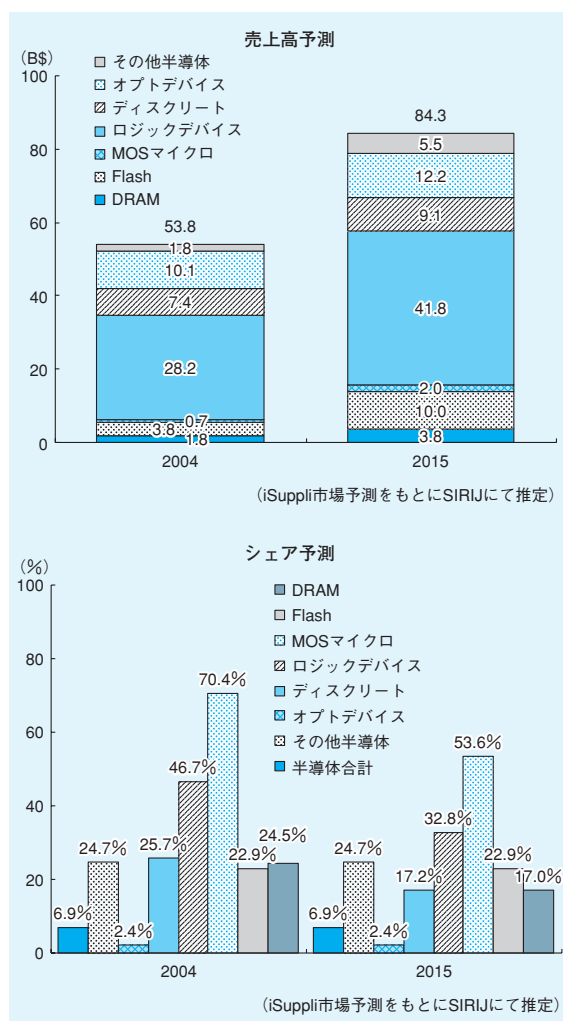


図8 日本半導体産業の成り行きの姿

実際には、日本半導体産業の低収益構造では今後必要となる研究開発費が負担出来ないことから技術競争力が更に低下し、その結果いっそう収益力が低下するという危険性が高い。その場合にはこの予想以上にシェアが低下する可能性が高い。

他方、世界の競合企業を考えるとマイクロプロセッサ、メモリ、ファンダリーなどではそれぞれの分野における世界No.1企業への集約が加速する可能性が高い。

また、インフラの面では、人材育成が大きな問題となる。日本における技術者リソースは、理工系学生数の低下や少子化を考えると一層の深刻化が予想される。そのような状況においても、半導

体産業の競争力強化のためには優秀かつイノベティブな国内技術者の育成と海外人材の活用が不可欠となる。

Ⅲ. 日本半導体産業の目標

政府のIT新改革戦略やu-Japan戦略で示されているように、日本が世界のなかで存在感のある国家として認められ、世界に貢献していくためには、ユビキタス社会、高齢化社会、環境問題の解決といった分野で日本が世界のトップランナーとして主導的な役割を果たさなくてはならない。この日本の国家戦略の実現を支えるために、日本の半導体産業は基盤技術としてイノベーションで世界をリードすることを要求される。

また、日本の半導体産業が日本およびアジア経済の発展を支えていく役割を果たすためには、日本市場だけでなくアジア市場でも高いシェアを確保し、世界市場全体でも長期低下傾向にあるシェアの挽回をはかり、世界の半導体産業における主導的役割を回復する必要があると考える。

2015年に向けてこの目標を達成するには、予想される市場成長率7.9%を上回る高成長を持続する必要がある。この高成長実現には、企業独自のコアコンピタンスを再定義し、企業間で異なる分野への選択と集中を行うとともにイノベーション力を強化することによって、高収益・高成長の企業へと変貌しなければならない。

この高成長を支えるための人員としては、効率改善を織り込んで現状規模の2倍の人員が必要となる。特に強化が必要となるのはセールス・マーケティング要員（＋1万人）と設計要員（＋3万人）、ソフトウェア開発要員（＋1万人）である。

今後の地域的な市場構成を考えると、金額的には海外での事業規模を大きく伸ばし海外売上比率を6割以上とする必要がある。リソース面からも10年後には数万人規模で海外人材を活用する必要がある。日本の半導体産業は全体として国内より海外をメインターゲットとするという経営姿勢・経営体制の根本的な転換が必要となる。

日本の半導体産業が世界のトップランナーとして再度主導的な役割を果たすには半導体技術のイノベーションで世界をリードするとともに、以上に述べたような事業構造改革に立向かう必要がある。

Ⅳ. 基本戦略

今後10年を見据えて再度日本の半導体産業が競争力を回復し、再成長するために以下の戦略を基本に据える。

1. 付加価値源泉確保に向けた事業構造改革

半導体の技術革新はムーアの法則に典型的に示されるような長足の進歩をとげ、もはやセット・システムの要求を越えるところまで来ており、多くの製品分野においてプロセス技術に付加価値を求めることが難しくなっている。付加価値確保の為には、バリューチェーンにおける付加価値源泉の再定義とそのためのコアコンピタンスの再定義が必要である。

日本の半導体企業は競争力のある日本のセット・システムの技術・ノウハウの取り込みや、材料など日本の強い基礎技術力を生かしたエマージングデバイスなどで付加価値源泉を築くべきである。

日本の半導体産業が今後成長を持続するためには、日本の半導体産業全体として最低でも10%以上の営業利益を確保する必要がある。

そのためには各社はNo.1製品分野を見定めてその分野にリソースを集中すべきである。特に日本メーカーと海外メーカーで収益性に大きな差が出来ているSoCなどのロジック事業においては、これまでの顧客主導のカスタム製品中心の事業から脱却し、半導体メーカー主導のASSP中心の事業へと変革を図らなくてはならない。これを実現するには、ターゲット市場を決めて、マーケティング力を強化するとともにシステムノウハウ力の強化を図りASSP／モジュール／ボードまで半導体側から提案すべきである。コアコンピタンスを確立できない事業はM&Aで事業売買、事業交換を行い、コア事業へより集中度を高めるべきである。

事業の機動性を高め収益性重視の経営を実現するためには、分社・IPOも有効な選択肢の一つとして検討するべきである。

これらの事業改革の推進に障害となる制度的な問題については今後検討する。

また、メモリ事業などの汎用品事業ではプロセス開発費や製造投資の巨額化に耐え得る規模を確保すべきである。特に製造については、日本がプロセス技術の主導権を維持するために国内に最先端ファブを確保し、コア製品の差異化プロセス部分（例えば低消費電力、メモリ、アナログなど）の先行性を確保することが必要である。

実現へ向けた施策として以下が上げられる。

- ・収益性重視経営の実現
- ・バリューチェーンにおける付加価値源泉の明確化
- ・NO.1製品の売上高構成比率40%の実現
- ・マーケティング力の強化
- ・システムノウハウの取り込み
- ・最適な事業形態の選択

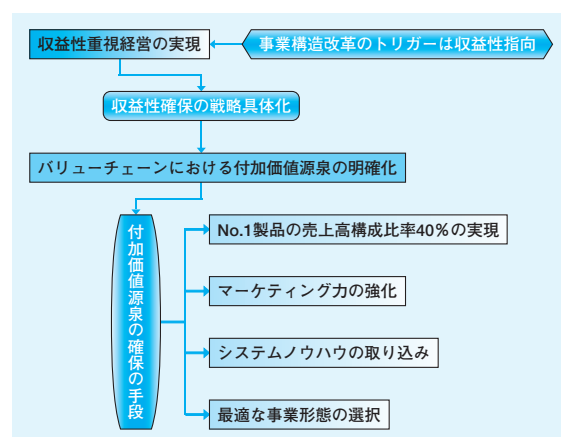


図9 『付加価値源泉確保に向けた事業構造改革』の施策へのブレークダウン

2. 持続的なイノベーション創出へのインフラ強化

今後の日本半導体産業は単純なコスト競争から脱却し技術面で卓越したコアコンピタンスを持つ必要がある。このコアコンピタンスを高めるためには、イノベーションを実現できる優秀でクリエイティブな人材と高い技術が必要である。優秀な人材獲得のためには、企業においては、日本の人事制度に縛られないフレキシブルな人事制度の構築、教育機関においては、即戦力として使える技術者教育に加えて革新的な発想の出来る基礎能力に重点を置いた大学・大学院教育、が必要である。また、半導体産業の活性化に必要なイノベーションの担い手としてベンチャー企業の育成を促すべきである。

日本は海外に比して圧倒的に人材の流動性が低く、海外からの留学生受け入れや、海外への留学生も少ない。国内の人材流動化促進に加え、海外優秀人材の活用が急務と考える。短期的にはアナログエンジニアの育成、理工系の学生数の増加が重要であるが、長期的には中等高等教育の改革が望まれる。日本は最先端技術のイノベーションセンターとして海外からも優秀人材が集まるよう環境整備を図る必要がある。

実現へ向けた施策として以下が上げられる。

- ・優秀でかつクリエイティブな人材の確保
- ・将来のイノベーションを担う人材の育成
- ・ベンチャー企業の育成支援
- ・人材流動化の促進

3. 海外中心の経営へのシフト

日本市場の相対的な地位低下を考えると、半導体メーカー復活のためには海外市場、特に成長が著しいBRICs市場を最重要視し、海外での事業規模を2005年の5倍、国内売上の約2倍にする必要

がある。このことは国内中心から海外中心の経営へシフトすることを意味しており、真のグローバル企業としての経営マネジメントが求められる。一方、中国を例にとると半導体市場としての魅力に加えて、海外電子機器メーカーの製造拠点としての存在感が今後とも大きい。電子機器メーカーのサプライチェーンを踏まえたグローバルな半導体開発・製造・販売の展開が重要と思われる。また先に述べたようにデファクト・デジュールとなる製品をいかに開発するかが決定的な要素となっており、デファクトを取るリーディング機器メーカーとどう連携するか、国際標準化や新市場における標準化をどう主導するか、といった課題について国とも連携して取り組む必要がある。

実現へ向けた施策として以下が上げられる。

- ・グローバルな事業展開に対応したリソース確保
- ・海外マネジメント体制の強化と海外インフラの強化
- ・標準化への積極的対応

V. 具体的な提言に向けた今後の取り組み

本グランドデザインで述べてきたように、日本の半導体産業が復活するためには、前章で提示した基本戦略と具体策に従って各社が個別に経営改革を進めていくことが求められている。

これは基本的に各社個別の課題であるが、業界として共通に実行できる項目については、SIRIJの提言案として以下のようにまとめた。技術面での検討・提言は、これまでもSNCC（半導体新世紀委員会）などで行われており、今後も別途行う予定である。下記内容については、本年度のグランドデザインの研究活動の中で具体的に検討していき、最終的には関係機関に提言できるものとしたい。

1. 半導体業界への提言

半導体業界に向けての提言案としては、経営改革の面から『収益性重視経営の促進』や『選択と集中の促進策の検討』を、人材の面からは『半導体技術認定制度の創設』や『海外からの留学生支援』『人材流動化の仕組みの可能性』を、技術競争力の面からは『ベンチャー企業支援策』と日本発世界標準に向けた『標準化の推進策』を検討する。

そして、これらの提言の実現に向けた仕組み作りも検討する。

2. 大学への提言

大学への提言案としては、企業においてイノベーションを実現するコア人材となりうる人材を育成できるように『革新的な発想のできる基礎能力重視の大学教育への要望』を検討する。

3. 日本政府への提言

日本政府への提言案としては、個別企業の事業構造改革を後押しするための『事業構造改革の加速に向けた税制・法制』と海外事業展開を加速するために『海外展開に向けたインフラ整備に対する政府支援』について検討する。

<特別テーマ>

テーマ2：第2次SNCC（半導体新世紀委員会）提言の具体化

1. 経緯

半導体産業研究所（SIRIJ）では、2006年度以降の産学独連携を含む共同活動のあり方について、2004年5月に第2次SNCC報告書をまとめ、提言を行った。SIRIJでは提言を受けて2004年度、第2次SNCC実行計画策定のための検討を行い、プロセスに関しては、「つくばR&Dセンター並びにつくば半導体R&Dプロジェクト」と「新Selete」、設計に関しては、「STARC新プログラム」の提案を2005年6月に行った。

2005年度は、第2次SNCC実行計画策定のための検討結果を受けて、更にその具体化の検討を行った。その内、新Seleteに関するプロジェクトと組織の具体化については、Selete内に設置された「新Selete準備室」が行ない、STARC新プログラムに関しては、STARCの組織内で行なった。SIRIJは、「つくばR&Dセンター」の具体化と、民間プロジェクトである「あすかプロジェクト」の後継スキームの検討を行った。

2. つくば半導体コンソーシアム

「つくばR&Dセンター」の検討に当たって、SIRIJに図1に示す「つくばR&Dセンター準備委員会」を設置した。さらにその下に「つくばR&Dセンター・タスクフォース」、「つくば産学独連携推進委員会」、「装置・材料業界連絡会」を設置した。つくばR&Dセンター・タスクフォースでは、「つくばR&Dセンター」のスキームやリーダーの権限などについて詳細検討を行った。つくば産学独連携推進委員会では、「つくばR&Dセンター」のスキームに関係する大学、独立行政法人研究機関、企業のコーポレート研究部門、更にファンディング組織などの代表を招き、つくばのファシリティをベースとした産学独連携について検討した。装置・材料業界連絡会では、「つくばR&Dセンター」のスキームにおける装置業界、材料業界の役割について検討をした。

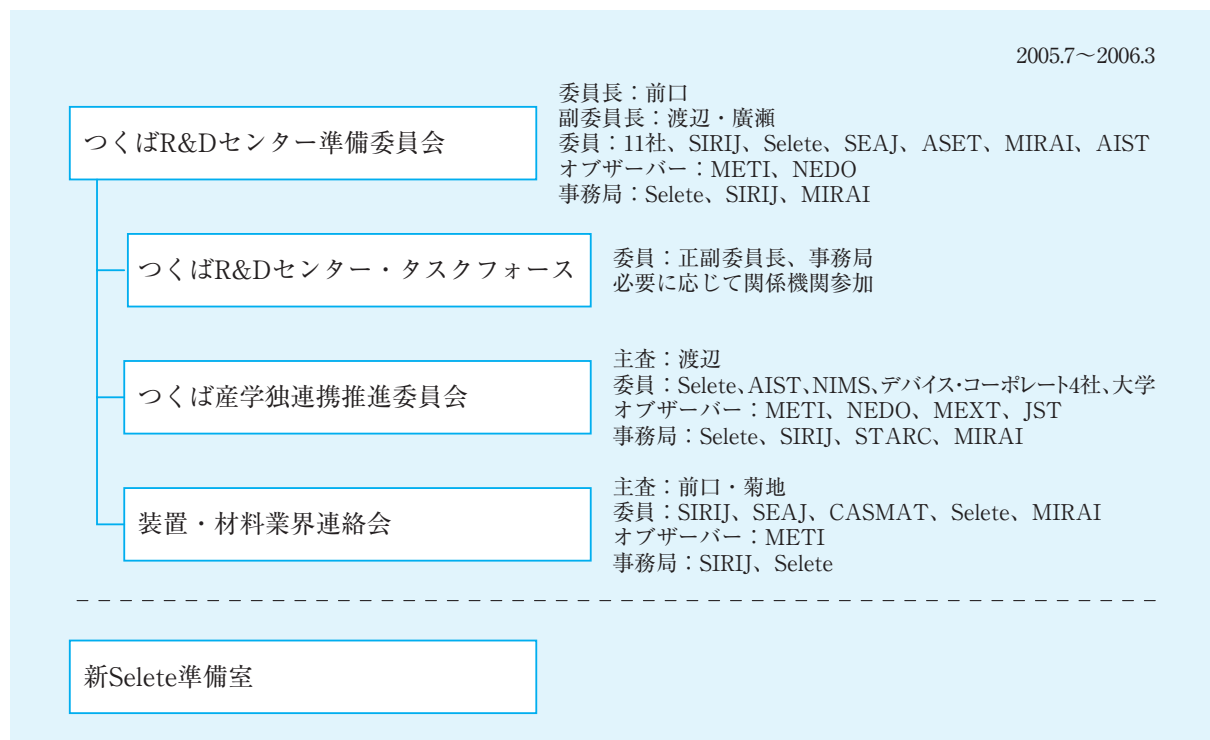


図1 2005年度つくばR&Dセンター準備委員会体制

上記各検討に基づき、つくばR&Dセンター準備委員会では、第2次SNCCで提案された「つくばR&Dセンター」を、「つくば半導体コンソーシアム」と改称し、その機能、構成について合意するとともに、「つくば半導体コンソーシアム連携総括リーダー」の推薦を行った。以上の検討結果を受け、つくば半導体コンソーシアムは、JEITA半導体部会役員会の承認を得て、2006年4月に発足した。以下にその概要を示す。

【つくば半導体コンソーシアムのミッション】

つくば半導体コンソーシアムのミッションは、以下の2点とした。

1) 実用化加速の産学独連携拠点：

先端半導体の基礎研究から実用化までの研究開発を加速させるため、Selete、MIRAIなどの複数プロジェクトをつくば半導体コンソーシアム連携総括リーダーのもとで一元的にマネジメントする。

2) 半導体における研究開発活動のCoEとして育成：

国内外の関連機関との連携を深め、先端半導体デバイスプロセスの基礎研究並びに人材育成を通して、つくば半導体コンソーシアムを研究開発のCoE（Center of Excellence）とする。

【つくば半導体コンソーシアムの構成】

図2に、つくば半導体コンソーシアムの構成を示す。つくば半導体コンソーシアムにおいて、つくば半導体コンソーシアム連携総括リーダーのコーディネートの下に、民間資金によるSeleteが実施するプロジェクト（後述するあすかⅡプロジェクトの一部）、と国（NEDO）の委託を受けたMIRAIプロジェクトを推進していく。MIRAIプロジェクトは2006年度から第3期プロジェクトとして、第2期のMIRAIプロジェクトから継続したテーマである新構造極限CMOSと、新たにSeleteが受託するプログラム（後述）から構成される。将来的には、より多くの産業界・大学・独立行政法人研究機関などによる異なるファンドの産学独連携プロジェクトが、つくば半導体コンソーシアム連携総括リーダーのマネジメントの下で、つくば半導体コンソーシアムに参加するように発展させていく。

つくば半導体コンソーシアム連携総括リーダーの諮問機関・支援機関として、つくば半導体コンソーシアム協議会・連絡会を設置する。協議会は、つくば半導体コンソーシアムに参加、または参加可能性のある組織やプロジェクトの実行責任者、並びにファンド関係機関責任者などから構成される。既に、文科省系のファンドや研究機関にも参加をいただいている。

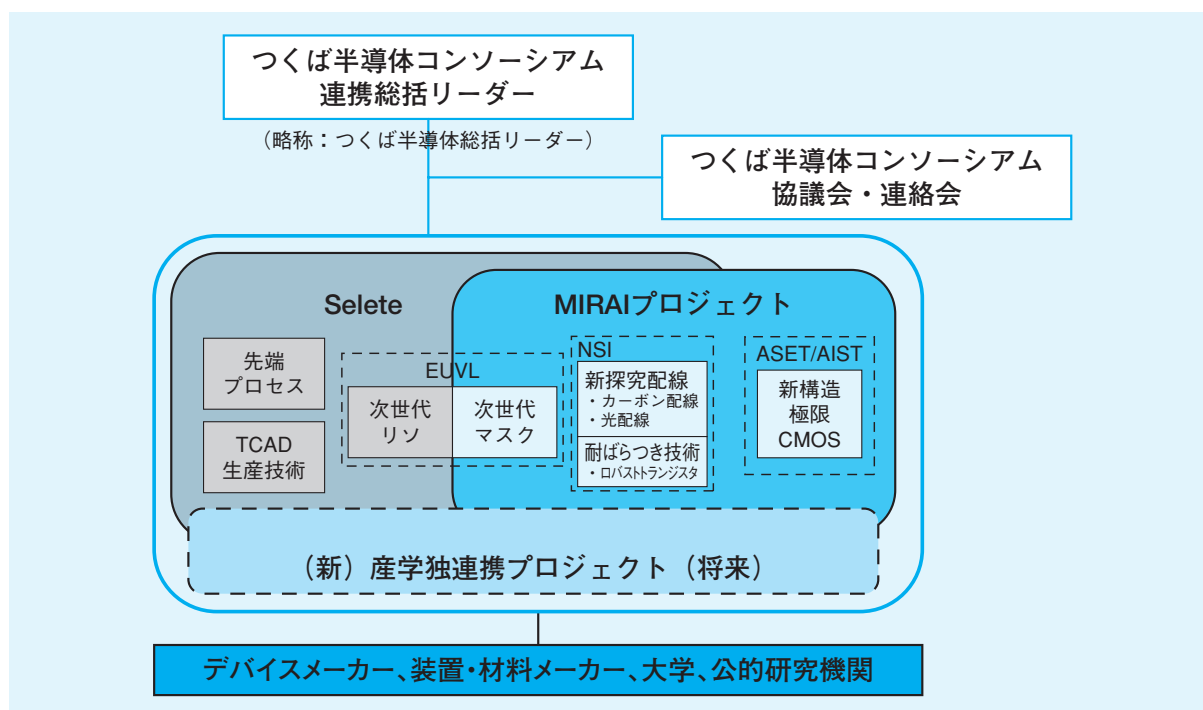


図2 つくば半導体コンソーシアム運営体制

【URVIC-Net】

つくば半導体コンソーシアムのミッションの一つである「つくばのCoE化」を目指して、まずつくば半導体コンソーシアムを、大学・公的研究機関・ベンチャー企業・産業界・コンソーシアムを結ぶネットワークの拠点として、技術交流と情報交換を積極的に行っていく。そのスキームを、産学独VC連携、URVIC-Netと呼ぶ（図3）。

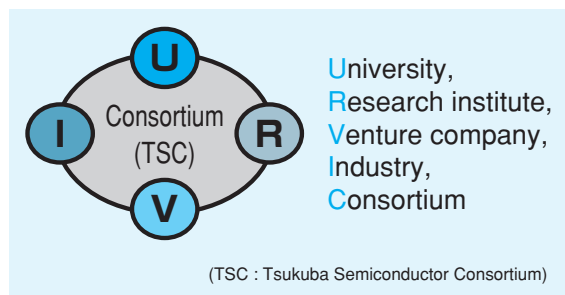


図3 つくば半導体コンソーシアムURVICネット

URVICは、University、Research Institute、Venture Company、Industry、and Consortiumを意味する。

URVIC-Netとしては、研究開発の観点からHigh-k net、Interconnect net、RDD（Robust Device Design）net、Lithography net、Metrology netなどが計画されている。また人材育成の観点からインターンシップなどを行うことが計画されている。

【つくば半導体コンソーシアム連携総括リーダー】

つくば半導体コンソーシアム連携総括リーダーには、つくばR&Dセンター準備委員会の推薦に基づき、JEITA半導体部会役員会が、Seleteの社長である渡辺久恒氏を選出し、現在就任している。また、渡辺氏は、第23期のMIRAIプロジェクトリーダーにも就任した。渡辺氏がつくば半導体コンソーシアムの主要ポストを兼務することにより、強いリーダーシップが発揮される。

3. あすかⅡプロジェクト

2001年度から2005年度まで行われた「あすかプロジェクト」に引き続いて、第2次SNCC提言では2006年度から2010年度まで、新たな民間プロジェクトを、JEITA半導体部会役員会のガバナンスの下で行うことを提案した。これを「あすかⅡプロジェクト」と命名した。あすかⅡプロジェクトは、引き続きSTARCとSeleteにて実行される。

【あすかⅡプロジェクトのミッション】

あすかプロジェクトでは、参加デバイス企業全社のコンセンサスを得て進めることが原則であったに対し、あすかⅡプロジェクトでは、参加クライアントのニーズに合わせた取組みを最優先する。

CMOS技術の限界を迎え、かつ技術開発のスピードも非常に速くなり、日本の半導体産業技術の国際競争力のさらなる発展を目指して、メン

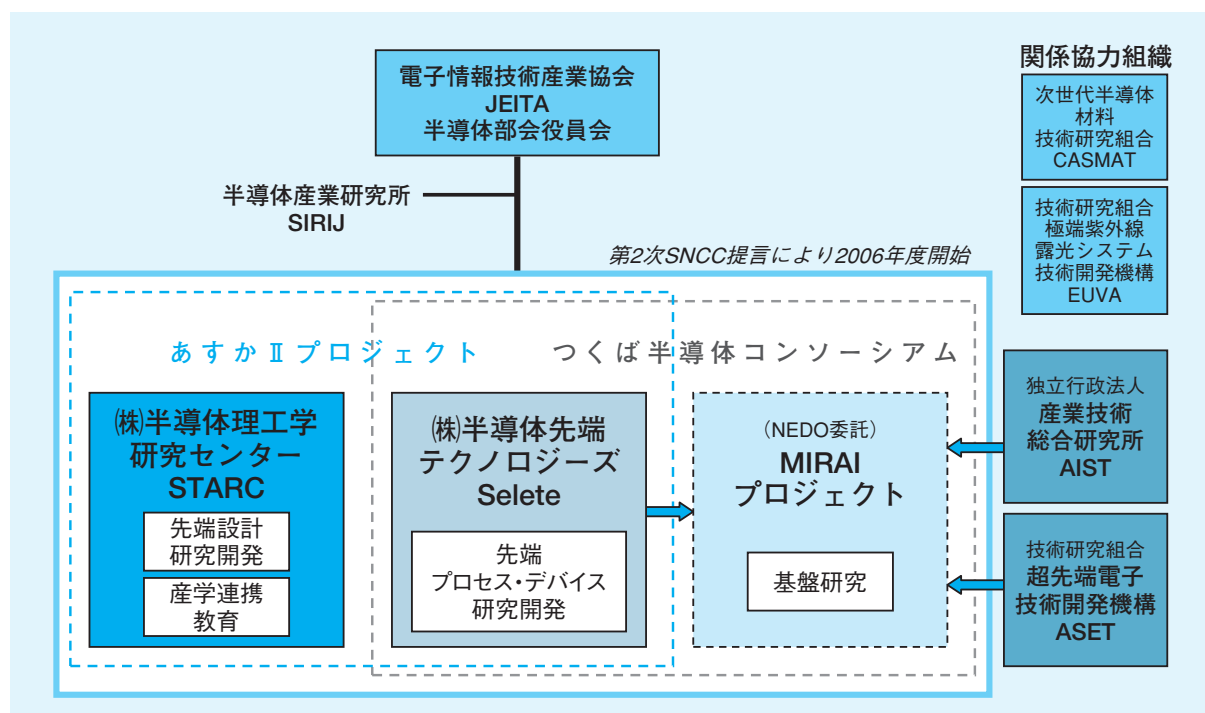


図4 JEITA半導体部会推進プロジェクト

バー企業のニーズに先駆けた先行研究開発をあすかⅡプロジェクトでは推進する。それにより新技術の早期実用化に貢献する。更にメンバー企業の多様なニーズに合わせたフレキシブルな取組みも行う。

また、ますます難易度を増す半導体技術の継続的なイノベーションを目指して、産業界・大学・公的研究機関との連携を主導的に推進する。

【あすかⅡプロジェクトの構成】

あすかⅡプロジェクトの構成をつくば半導体コンソーシアムとの関係を含めて図4に示す。いずれもJEITA半導体部会役員会主導のもとで行われる。あすかⅡプロジェクトは、民間主体の5年のプロジェクトであり、プロジェクトを遂行する機関として、STARCとSeleteがこれに当たる。また国の委託資金で行われるMIRAIプロジェクトは、SeleteとASET・産総研の3者が共同受託者となり、テーマにより2年～5年のプロジェクトである。あすかⅡプロジェクトのSeleteの部分とMIRAIプロジェクトを連携させて行うためのスキームがつくば半導体コンソーシアムである。

【STARCのミッション】

STARCのあすかⅡプロジェクトのミッションを示す。第1に国内半導体企業の設計基盤技術力強化を目指す。半導体製品競争力を高めるための共通設計技術開発、特に日本が優位性を主張できる設計メソッドロジー及び設計製造界面技術に重点を置いたプログラムを遂行する。また大学との共同研究による新規技術への挑戦も推進していく。第2にSTARCが従来から持っている重要なミッ

ションである大学との共同研究を通じて、国内半導体業界のための人材育成を目指していく。特に大学との共同研究を通じて人材交流の促進、STARCから講師を送る支援講座、教材をベースに行う協力講座などを通して大学の半導体教育をSTARCは支援していく。また、STARCが行っている先端技術に関するアドバンスト講座を通じて、企業の研究者の人材育成に対しても支援をしていく。

【2006年度以降のSTARCプログラム】

図5に2006年度以降のSTARCプログラムの全体概要を示す。総費用は5年間で200億円を予定している。

11社の共通コアプログラムとして、「産学協同研究と設計教育」、「標準化」を行う。産学共同研究は、STARCが10年続けてきた経験を踏まえてより拡大推進していく。従来行っていたシーズ型の産学共同研究では、大学から提案された研究テーマに対して、産業界が資金と客員研究員という形で支援をしてきた。あすかⅡプロジェクトでは、産業界と大学が1年くらい議論をしてテーマの内容やターゲットを明確にしていくテーマインキュベーション型、産業界から大学へ教授を派遣して一緒に共同研究を行う連携強化型、場合によっては学生がSTARCへ来て一緒に研究を行うインターンシップ型を、従来のシーズ型に加えて強化していく。更に課題解決に対して幾つかの大学がネットワークを組んで行うようなネットワーク型などの新しいコンセプトを大学との共同研究に持ち込みたいと考えている。

現在、最大の課題である製造と設計の界面に

プログラム分類	研究開発テーマ	参加デバイス企業	目 標
共通コアプログラム	産学共同研究と設計教育	11社	・大学共同研究件数を拡大 ・各都道府県1大学以上の教育支援
	標準化	11社	・IP再利用・論理設計検証・標準テスト環境等のガイドライン充実、標準MOSFETモデル整備
先端コアプログラム (コアカンパニー)	プロセスフレンドリー設計技術	7社（富士通、松下電器、NECEL、ルネサス、シャープ、ソニー、東芝）	・2008年45nm（hp65nm）世代、2011年32nm（hp45nm）世代のSoC設計メソッドロジーを実用化、特に設計製造界面技術（DFM）に注力
選択プログラム (有志企業)	高位設計	5社	・高位（トランザクションレベル）モデル記述からの設計メソッドロジーを実用化
	テスト・故障解析	7社	・45nm（hp65nm）、32nm（hp45nm）世代のSoCテスト・故障診断技術を実用化
	Mixed Signal	7社	・2009年アナログMixed Signal SoCの開発期間を現状の40%に削減
	IP育成支援	5社	・業界として90nm試作シャトルサービスを継続

—総費用：200億円（5年間）— (STARC作成)

図5 2006年度以降のSTARCプログラム

わたるDFM技術に関しては、先端コアプログラムとして、国の補助金も得て「プロセスフレンドリー設計技術」を行う。コアカンパニーを中心に開発していく。従来プロセス開発、ライブラリー開発、インプリメンテーション、製造がリニアに行われていたのを、これらの相互関連性を考慮し、各工程間にまたがる情報の共有による全体最適化を行っていく。内容的には、モデル化、インターフェースの標準化、最適化ワークフローなどを行う。

更に、クライアントの多様なニーズに応える選択プログラムを行う。有志企業により行う選択プログラムのテーマとしては、高位設計、テスト・故障解析、Mixed Signal、IP育成支援などを行う。

【Seleteのミッション】

SeleteのあすかⅡプロジェクトのミッションを示す。第1に、先端プロセスデバイス技術の先行的研究開発を行う。半導体デバイス企業、装置企業の多様な技術開発ニーズに対して先行的に研究開発を行い、特にCMOSのコア技術であるリソグラフィ、フロントエンド、バックエンドの先端研究開発の実用化において先行する。更に300mmスーパークリーンルームを活用した11社共通プログラムに関しても継続的に実行していく。第2に、新技術分野の産学独連携研究開発の推進を行う。MIRAIプロジェクトの一部受託による技術ブレークスルーを必要とする新技術の開発を行う。「つくば半導体コンソーシアム」にお

いて、MIRAIをはじめとする国委託プロジェクトなどとの密な連携を実現していく。

【2006年度以降のSeleteプログラム】

図6に2006年度以降のSeleteプログラムの全体概要を示す。総費用は5年間で700億円を予定している。先端コアプログラムとして産業界が本格的な実用化を目指しているMetal-gate/high-k、Low-k/Cu実用化技術、EUVリソグラフィ・マスク技術などのCMOSのコア技術をコアカンパニー主体で開発していく。更にNEDOからSeleteが一部受託しているMIRAIプロジェクトの一部として、EUVマスク技術、NSI（Nano-Silicon Integration）技術を行う。NSIでは、Cuの次の配線技術及びアーキテクチャーに対して方向づけを行うための新探究配線技術（カーボン配線技術、LSIチップ光配線技術）の開発、更にばらつきが今後のCMOSを律束する可能性が高く、ばらつきに対してブレークスルーを図っていく耐ばらつき技術（ロバストランジスタ技術）の開発を行う。また11社共通コアプログラムとして、300mmクリーンルームを維持・活用するとともに、それらを活用したTCAD機能強化技術や、生産システム技術開発を行っていく。また選択プログラムとして、第2世代300mm生産技術の共通技術の開発を行う。

Seleteが民間主導でCMOSスケーリングの極限に向けた研究開発を行い、新しい構造やブレークスルーを探索する研究開発は、国の支援を受けたMIRAIプロジェクトとで推進していく。

プログラム分類	研究開発テーマ	参加企業	①研究期間と②内容
先端コアプログラム (コアカンパニー)	・Metal-gate/high-k 実用化技術 ・Low-k/Cu 実用化技術	デバイスメーカー：6社 (富士通、NECEL、ルネサス、東芝、松下、ソニー) 装置メーカー：6社	①期間：2006年4月から5年間 ②hp45nm、hp32nm対応の最重要コア技術としてモジュールベースの先行技術開発
	・次世代リソ・マスク 実用化技術	デバイスメーカー：4社 (富士通、NECEL、ルネサス、東芝)	①期間：2006年4月から5年間 ②hp45nm、hp32nm対応の最重要コア技術としてEUVベースリソグラフィ・マスク先行技術開発
国委託プログラム (NEDO委託)	・次世代マスク基盤技術	装置・マスクメーカー：8社	①期間：2006年4月から2年間 ②ポストCu配線としてのカーボン配線、LSIグローバル配線としての光配線技術の優位性を追及。微細トランジスタ特性のばらつきに科学的解明と制御手法確立。
	・カーボン配線技術 (新探究配線)	デバイスメーカー：4社 装置メーカー：1社	
	・LSIチップ光配線技術 (新探究配線)	デバイスメーカー：3社	
MIRAI プロジェクトの一部を受託	・ロバストランジスタ 技術(耐ばらつき技術)	デバイスメーカー：5社 装置メーカー：2社	①期間：2006年4月から5年間 ②TCAD機能強化と生産性向上
	・TCAD機能強化技術 ・生産システム技術	デバイスメーカー：11社	
共通コアプログラム	・TCAD機能強化技術 ・生産システム技術	デバイスメーカー：11社	①期間：2006年4月から5年間 ②TCAD機能強化と生産性向上
選択プログラム	・生産システム技術	デバイスメーカー：3社	①期間：2006年4月から5年間 ②第2世代300mm生産技術の共通技術開発

—総費用：700億円（5年間）—

（Selete作成）

図6 2006年度以降のSeleteプログラム

4. 今後の課題

2006年4月、第2次SNCC提言に基づく「あすかⅡプロジェクト」と「MIRAIプロジェクト」、「つくば半導体コンソーシアム」が発足したことで、第2次SNCC提言に関する活動は終了した。今後はこれらプロジェクトが成果を出し、それらの活用を通じて、日本の半導体産業の技術力強化と事業の発展に結びつくように、SIRIJとしてはコンソーシアム支援活動を行っていく。また「つくば半導体コンソーシアム」が、先端半導体デバイスプロセスの基礎研究並びに人材育成を通して研究開発のCoEとなることを支援していく。

SIRIJで行われている「日本の半導体産業のグランドデザイン」などの提言を踏まえ、各社の事業戦略がよりフォーカスされていく場合、コンソーシアムの役割や形態にも新たな要素が加わっていくと考えられる。各社が今後よりグローバルな活動を今後行うであろうことや、日本だけのリソースの限界があること、アジアを含む国際情勢の変化などが予想され、海外との関係も複雑なシナリオが予想される。2010年を待たずに生じる変化や、2011年以降を踏まえた新たな課題など、第2次SNCC提言も環境の変化に対応していく必要がある。

現在世界的には、2010年以降の半導体の新たなターゲットであるナノエレクトロニクスの研究開発が着手されつつある。またそれら半導体技術を用いたアプリケーションや、シリコン技術と異種技術との融合なども重要なテーマと考えられている。欧米では、それらの研究開発を産業界主導で行うスキームの確立が進められている。日本においても2015年以降の新アプリケーション創出を念頭に、CMOS技術限界の突破、新原理材料の探索、異種技術の結合、設計アーキテクチャの革新等を相互に関連づけながら進めていく必要があり、そのための半導体イノベーション拠点の構築が必要であると考えられる。アジアをはじめとして世界から優秀な人材が集まり、日本から半導体・ITのイノベーションが続々と起こり、その成果を世界に発信していくことが、日本の半導体事業構造の刷新とともに、日本の半導体産業が世界に対するリーダーシップを持つための源泉になると考えられる。

注記)

JEITA : (社)電子情報技術産業協会

Selete : (株)半導体先端テクノロジーズ

STARC : (株)半導体理工学研究センター

ASET : 技術研究組合 超先端電子技術開発機構

<ATLASプロジェクト>

テーマ1：アプリケーションから見たSoC上流設計の課題解決に向けた仕組みづくり

—アプリケーション視点からのSoC設計課題の検討—

1. 背景・目的

SoCの上流設計（システム仕様設計からRTL記述の決定まで）については、セット部門のノウハウと緊密に関係するため、従来ではその大部分が差異化領域と考えられていた。昨今では、SoCの大規模化が著しく進み、SoC開発における上流設計の開発期間や開発費用の急激な増加が大きな問題となりつつあることから、今までは聖域と考えられてきた上流設計工程を分析し、本来の差異化領域と将来は共通になると予想される領域（共通技術基盤）とに分け、共通領域については、アライアンスや共同開発などの協業により、開発の効率化を図ることが重要である。共通領域の共同開発が可能となれば、SoC開発全体の設計生産性を大幅に向上でき、各社とも自社が得意とする優位性を持つ技術に集中することが可能となり、今後の日本半導体の技術レベルの底上げと競争力の強化が可能となる。これにより、他国に対して半導体の設計分野で優位性を確保することができる。

2. 取り組みの概要

SoCの課題解決の具体策を検討するために、

2003年度より、「SoC設計課題検討WG」を組織し、検討を行ってきた。2004年度は、アプリケーションから見たSoC設計課題を洗い出し、重要課題の絞り込み、および、課題解決に向けた方法や仕組みなどを検討した。また、SoCの上位設計の工数についても、調査を行い現在のMG（メガゲート）級SoCの上位設計に1,000～2,000人月の工数が必要とされることが判明し、将来はさらに増加する方向である（図1参照）。将来的にはSoC設計工数がますます増加するため、2010年までには一般の企業ではSoC設計が破綻すると考えられる。また、SoC設計に不可欠である上流設計用のSoCプラットフォームもそれを開発するための工数の増大により、やがては1社での単独開発は不可能になる。これを解決するためのシナリオとして以下の示す2つの施策を提言した。

①EDAや設計手法の強化

EDA技術研究開発や設計手法の確立により大幅な設計効率の向上を可能とする。

②上流設計用のSoCプラットフォームの強化

SoCプラットフォームの強化により、再利用設計を徹底的に推進する。
以上のことを、図1に示す。

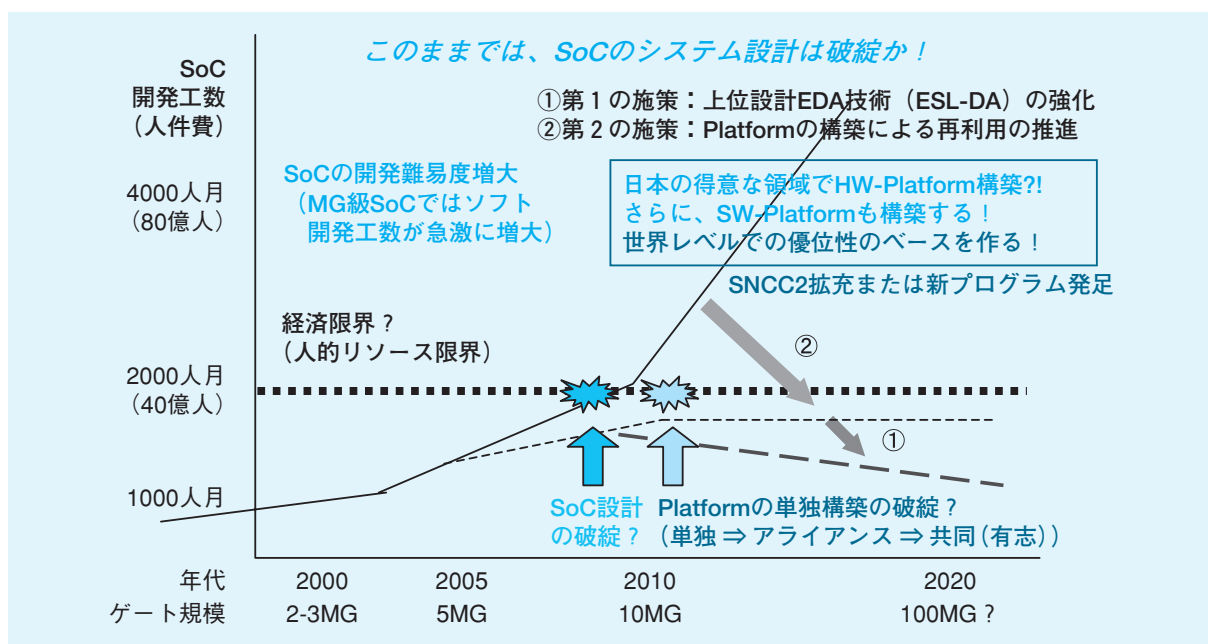


図1 SoC設計課題への対応シナリオ（2004年度検討資料）

2005年度は、上記の2つの施策を実行するための課題の詳細検討や課題解決の仕組みについて、前年度に洗い出した重要課題(図2参照)を基に、「SoC設計課題検討WG」を発足させ、以下の3つのサブWGにて詳細な技術検討を行った。

- (1) SWG1：ESL-DA検討SWG
 - (2) SWG2：マルチコア・プラットフォーム検討SWG
 - (3) SWG3：上位設計用PFのモチーフ検討SWG
- それぞれのサブWGの検討内容についてその概要を以下に説明する。

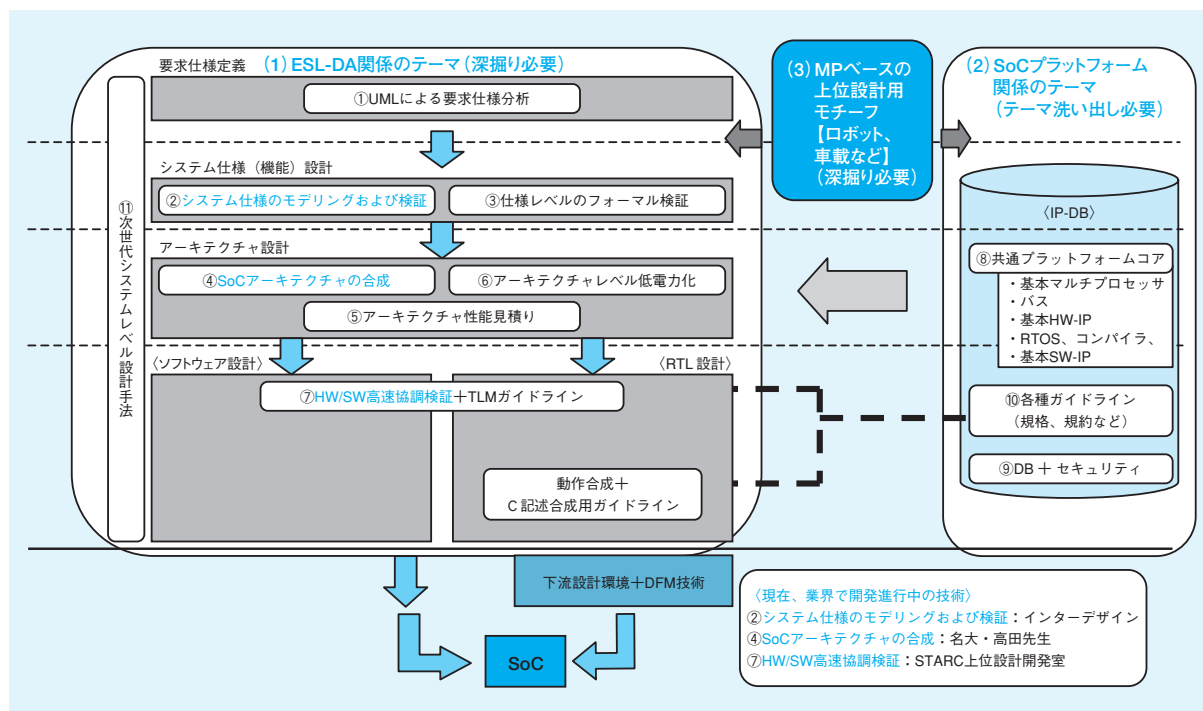


図2 設計課題解決に向けた研究開発テーマ (案)

3. 設計課題への対応についての検討内容

(1) ESL-DAの検討

ESL-DAについては、図2に基づき研究開発テーマをさらに具体化して検討し、図3に示すようにESL-DAの技術マップとして整理した。縦方向に示す設計工程にわけ、横方向に技術を5つの分野に分類して、具体研究テーマを示した。検討結果として、計14件の研究テーマが技術マップ上に示されている。これらの研究テーマの実現に向け、産官学協同開発を含めた新たな研究開発が重要になると考えられる。

(2) マルチコア・プラットフォームの検討

今後のSoCについては、現在1つのSoCで実現されている各システム（デジタルTVや携帯など）がどんどん融合されて大規模なSoCに集積されていく方向が見えている。図4に、複数のシステムから構成される1チップのSoCのイメージを示す。また、その場合の新たな重要課題は図4のタイトルが示すようにマルチコアのプロセッサ間の通信が重要となり、オンチップバスを含めたネットワーク（NOC：ネットワーク・オン・チップ）

の性能や通信方式の標準化が課題になる。これらの課題についてはまだ明らかになっていない部分が多く、産官学の有識者によるさらなる課題の洗い出しや分析を行ったのち、課題対応が必要になると考えられる。

(3) 上位設計用プラットフォームのモチーフ検討

上位設計や応用分野に向けたプラットフォームについては、産業界では競争領域という認識が強いため、従来では共同開発テーマの調査は行われていなかった。今回は、この領域に踏み込み、今後共同開発テーマになると考えられるテーマについて、各応用分野の主要なセッ企業とのSoC開発部門を訪問し調査を行った。図5に、調査結果より得られたSoCプラットフォーム関係の共同開発テーマの候補を示す。セッ部門では非競争領域の共同開発テーマとして上がっているテーマが半導体部門から見るとまだ競争領域のテーマとして捉えられているものが多い。これらのテーマ（研究開発項目）について、今後どのように対応していくのがポイントとなるであろう。

4. 検討結果と提言

図6に、これまでの検討結果（活動結果）と残された課題をまとめて示す。

図7に残された課題への対応について、以下のような具体的活動を開始すべきであることを提言している。

①応用分野向けプラットフォーム構築を含む新市場やセグメント対応について、SIRIJで継続検討を行う。

②ESL-DA技術やマルチコア・プラットフォームの技術について、STARCで具体的検討（調査研究）を開始する。

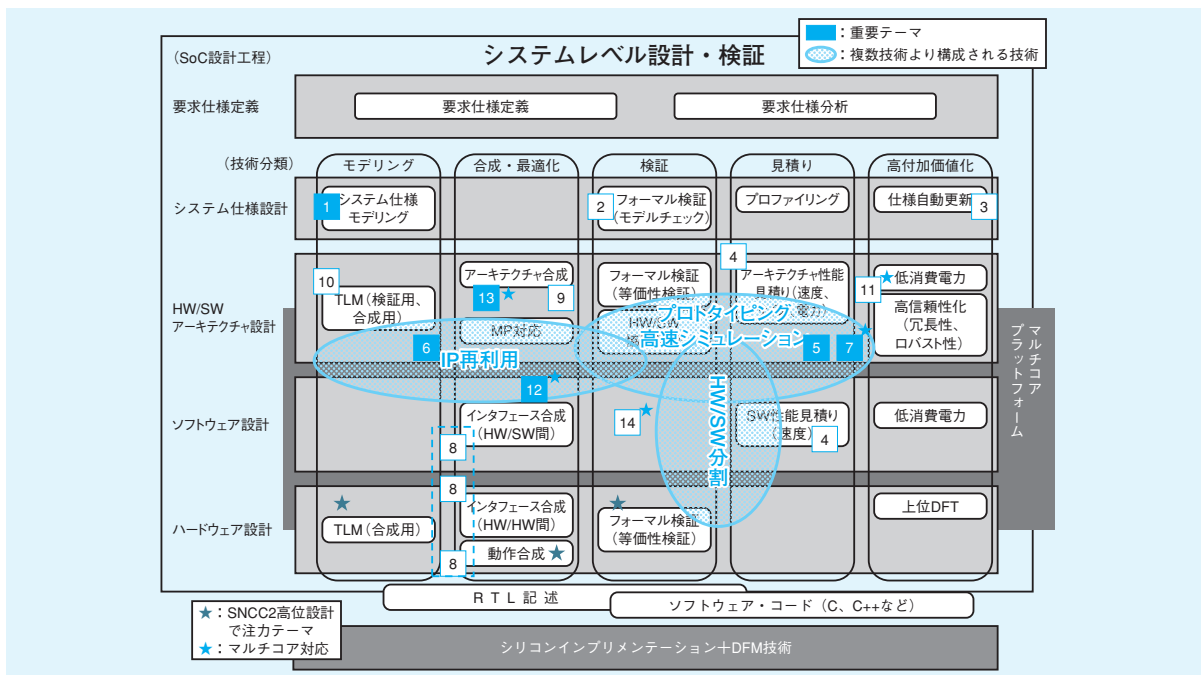


図3 ESL-DA 研究開発テーマ（技術マップ）

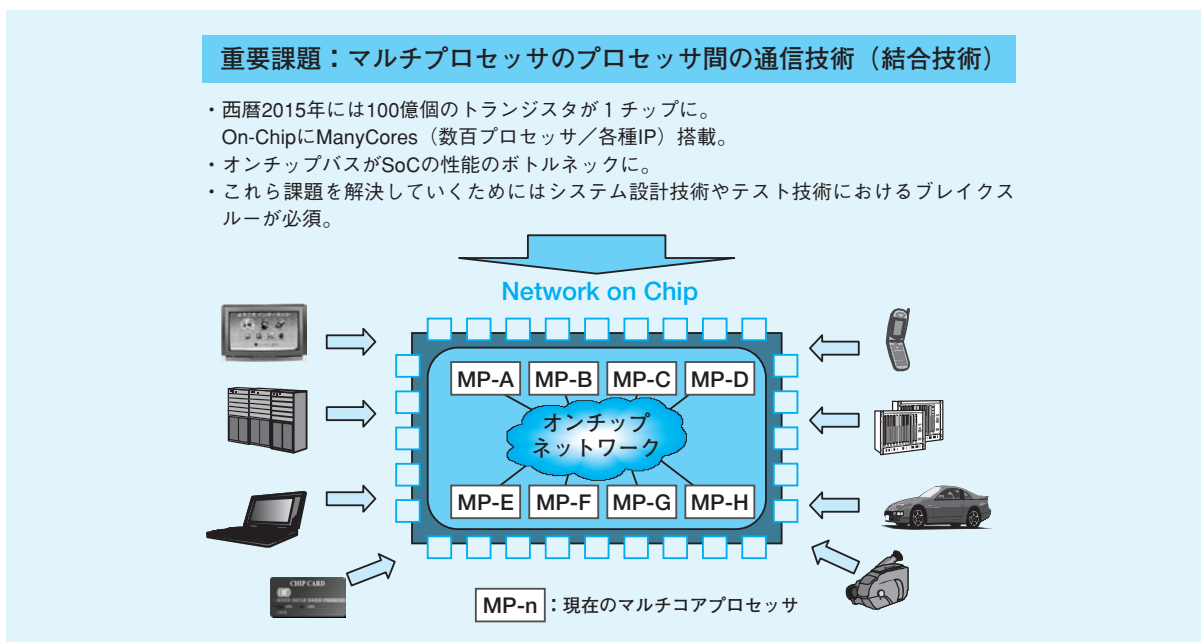


図4 マルチコアプロセッサの重要課題

- セット／システム側のSoC開発部門に対し、ヒアリング調査を実施
- 半導体から見た競争領域テーマをいかに非競争にするかが課題

		セットから見た共同開発テーマ（候補）			—非競争領域—
		車載	携帯	情報家電	
半導体から見た共同開発テーマ	非競争領域	- FlexRayに関する相互接続検証環境 - ソフトウェアの開発工程および工程管理の標準化 - 次世代の車載マイコンに関する要求仕様 - HW/SWに関する知見の提供	- ハード／ソフトの協調検証環境 - 相互運用性の検証環境	- 台湾・中国メーカーの低価格化構成にたいする防衛策 - HW/SWの協調検証環境の開発・整備	
	競争領域	- JasParでの今後の仕様検討を反映したFlexRay IP等の共同開発 - 今後のJasParでの検討課題	- ベースバンド処理部 HSDPA、HSUPA 3.9G、4G - ミドルウェアの基本部分の共通化 - ディスプレイ／カメラとのIF 3Gと無線の融合	- OS、アプリケーションとミドルウェアのAPI共通化 65nmのマクロライブラリ - 標準IPの共通化（インタフェース、コーデック、通信） - マルチコア技術（OS、ソフト） - 携帯電話のベースバンド処理部、デュアル・モード - 高速化、低消費電力化 65nmの漏れ電流対策	

図5 SoCプラットフォーム関係の共同開発テーマ候補

活動内容 SWG	今期（06年3月まで）の活動結果	残された課題	今後（06年4月以降）の活動（案）
SWG1 ・ESL-DA ・設計手法	ESL-DAの技術（ツール）やESL設計手法の強化のための具体研究テーマについて検討・提案した。（SNCC2の強化）	研究開発の具体計画の策定 ・研究開発の具体計画を策定する ・研究開発推進における連携組織の検討	研究開発の具体計画を策定（開発計画検討、調査研究）
SWG2 ・マルチコアPF	日本における将来のプロセッサ技術の復権を目指して、マルチコアPFに必要な基本技術の明確化を行った。	マルチコアPFの構成技術の検討および共同活動案の策定 ・マルチコアPFに必要とされる技術項目の具体内容の検討 ・標準化の進め方および共同活動案の策定	セット対応を含めた戦略検討および関連する要素技術検討（調査研究）
SWG3 ・モチーフ ・応用分野用基本PF	健康医療、ロボット、車載を対象分野として検討し、マルチコアPFおよびESL-DAを検討することとした。	応用分野用基本PFの構成技術の検討および共同活動案の策定 ・応用分野の基本PFに必要とされる技術項目・内容の明確化 ・共同活動案の策定	セット対応を含めた戦略検討

図6 活動結果と残された課題

残された課題対応の目的：

「車載」分野などを念頭において、これから重要となるマルチコアプロセッサをベースに、

- 日本発信のマルチコアPF技術（ESL-DA技術も含む）で5～10年後にイニシアティブを確保することを目標とする。
- 将来的にはそのグローバルな展開に向けた検討を行う。
- 将来的な需要の拡大が期待できる他の分野（健康・医療、ロボット）に対して、その成果を展開することを企む。

提言（内容）：

上記の目的の実現にむけて、将来の「車載」分野などを念頭において、2006年度は具体検討を開始したい。

〈方法〉

- 新市場やセットメーカー対応についてはSIRIJで継続検討。
- 要素技術（マルチコアPF、ESL-DA）については、STARCにて「技術検討テーマ」（調査研究）を開始したい。
- セット／システム側も巻き込んだ国家プロジェクトの立案も検討する。

図7 SoC設計課題解決に向けた提言

<ATLASプロジェクト>

テーマ2：ナノエレクトロニクスの研究開発と産学独連携のあり方

1. 背景

半導体デバイスのスケーリングは、半導体産業の誕生以来約半世紀にわたり、その発展・利益の源泉となってきたが、およそ10年後には技術的および経済的な理由によって限界を迎えると予測される。このため、新たな付加価値創出手法とそれを応用したアプリケーション開拓が急務である。原子・分子構造を制御しつつ積み上げる、いわゆるボトムアップ手法により、新材料や新機能デバイスを実現したり、あるいは電子のスピンを利用することで、デバイスの飛躍的な低消費電力化や高速化を図るなど、従来の微細化とは全く異なる革新的技術の研究開発が国内外で活発になっている。

このような高度な革新技術を限られたリソースで他国に先んじて開発するには、将来技術の研究を先行して行っている大学・独法研究機関（旧国研）との分野横断的な連携や国際的な技術協力など、業界としての戦略的な取り組みを図るべきである。

2. 目的

本調査研究は、次の目的で実施した。

- 世界の主要研究機関におけるナノエレクトロニクス研究への取り組み状況把握。
- 国内大学におけるナノエレクトロニクス研究への取り組み状況把握。
- ナノエレクトロニクス関連技術のロードマップ案作成。
- ナノエレクトロニクス技術の研究開発を促進させるための産学独連携の仕組み検討。
- ナノエレクトロニクス技術の研究開発促進に向けた国への提言案作成。

3. 世界主要各極におけるナノエレクトロニクス研究への取り組み

【論文・特許】

- 日本はナノエレクトロニクス研究の各分野で世界トップクラスの論文数を誇る。但し、ナノ結晶メモリ、相変化デバイスでは、欧州、韓国が先行している。
- ナノエレクトロニクス関連の特許出願数では、大半の分野で米国がトップ、日本が2位であり、両国の合計は世界全体の過半数を占める。

- ナノ材料、情報通信、オプトエレクトロニクスの特許出願数では日・米が拮抗し、他国を圧倒している。
- 大学からの特許出願数では、米国が他国を圧倒している。
- 日本は大学からの特許出願は極めて少数だが、公的研究機関からの出願数では群を抜いている。

【世界の主要コンソーシアムにおける取り組み】

a) IMEC（ベルギー）

目的：3～10年先のマイクロエレクトロニクス、ナノテクノロジー、設計等の研究開発。

主要活動：①フランドース地域の産業育成（100以上の地元企業がIMECに参加）、②学生、社会人、教授陣に対する支援、③マイクロエレクトロニクス、ナノテクノロジー、設計等の分野での世界のCoE活動。

予算総額（2005年）：159.1Mユーロ（約280億円）：会員企業から約233億円、フランドース政府から約47億円。

会員企業：500社以上（世界50ヶ国以上）。

人員規模（スタッフ）：約1400人。

クリーンルーム：約8000m²。

b) MINATEC（仏）

目的：マイクロテクノロジーからナノテクノロジーまでの研究開発。

主要活動：①学生のトレーニング、②研究開発、③工業利用（施設レンタル）の3つのプラットフォーム。

期間：2006年～2010年（第2期）。

予算（第1期、第2期総額）：約400Mユーロ（約570億円）。

組織：CNRS（仏国立科学研究センター）、CEA-Leti（仏原子力庁電子・情報技術研究所）、INPG（グルノーブル工科大学）、AEPI（イーゼル県投資促進局）が中心となって、グルノーブルに構築された産学官国際研究拠点プロジェクト。

人員規模：約1800人（Letiの基礎研究部門を含む）。

クリーンルーム：約2550m²（MINATEC事業部分）。

学生教育：仏原子力庁、グルノーブル工科大学と協力。教授数：300人、卒業学生数：約1000人／年。

c) Albany Nanotech (米NY州)

目的：ナノエレクトロニクスの研究開発、技術開発と商業化の加速製品の試作支援、技術者教育等。

主要活動：①ナノエレクトロニクス、ナノフォトニクス、NEMS、ナノ計測・評価技術等の研究開発、②ナノテクノロジーの経済学研究。

年間運営予算：NY州から\$30M余、ベンチャーキャピタルから\$400M余。

投資額（累積）：約\$1.4billion（約1500億円）。

参画機関：IBM、TEL、GE、SEMATECH、SRC、NASAなど約120機関。

クリーンルーム：9000m²（Nanofab300 East計画）

学生教育：Nanofab 300S内に College of NanoScale Science and Engineering at the University at Albanyのクラスがあり、36人の教授、17人のスタッフが在籍する。

d) NINT (The National Institute for Nanotechnology、カナダ)

目的：ナノスケール・デバイスおよびナノ材料のシステムへの集積化

主要活動：産学官連携による基礎研究、教育（ナノサイエンス、ナノエンジニアリング）、技術開発と商業化の加速。

予算：\$40M／年（カナダ政府、Alberta州、Alberta大学による共同運営）

組織：カナダ政府（研究協議会）とAlberta大学の共同運営。

研究人員：専任スタッフ120人、ゲスト・ワーカー45人

研究棟フロア面積：15,000m²

e) TND (Teralevel NanoScale Device、韓国)

目的：テラ・レベル（10¹²）ナノデバイスTEG（Test Element Group）開発（メモリー密度：1Tera bit、演算速度：1Tera Hz）。

期間：2006年～2010年（3rd Phase）：Development for Tera-level Nanodevice TEG

予算：\$66.8M（発足時の第3期計画）

4. ナノエレクトロニクスと人材育成に関する国の諸施策

■ナノテクノロジー・材料は、第3期（2006年～2010年）科学技術基本計画において、第2期に引き続き重点4分野の一つに取り上げられており、ナノエレクトロニクスは、その中の重要課題になっている。

■産学連携による高度人材の育成は、国の重点課

題として取り上げられており、具体的施策として人材育成拠点形成、高度専門人材育成のためのインターンシップの導入が挙げられている。

■科学技術関係の人材育成に関わる国の施策は多様であり、利用できる仕組みも少なくない。中でも、文部科学省の予算枠は大きく、積極的に活用すべきである。

■優秀な外国人研究者の受け入れ促進は、国の基本戦略の一つ。外国人研究者の受け入れ体制整備は、少子高齢化時代に向け、企業の重要課題である。

5. 国内大学におけるナノエレクトロニクスへの取り組み状況

【全般的傾向】

■ナノエレクトロニクス（ナノテク）に関わる国内大学の研究活動は、米国に比べ論文数、出願特許件数ともに著しく劣る（公的研究機関の貢献がこれを補完している）。

■研究を支える学生の絶対数と質の低下が深刻な問題になりつつある。

■研究をリードする教官の質の維持・向上も課題。

■クリーン・ルームや高額設備の共同利用、人材育成協力、研究会等による情報交換など、大学間の自主的な連携活動が生まれつつある。

■IMECとLeuven大学（ベルギー）、MINATECとグルノーブル大学（仏）、Albany NanotechとAlbany大学（米NY州）などに代表されるCoE的コンソーシアムとそのベースとなる大学が国内には見当たらない。

【ナノエレクトロニクス関連の研究者・研究室データ】

国内大学のナノエレクトロニクス関連研究者109人の主要研究テーマ、最近の国プロジェクトの受託実績、研究室ホーム・ページURLなどを研究分野別にExcelファイルにまとめた（詳細略）。

6. ナノエレクトロニクス研究に関わる産学独連携体制のあり方

国内の大学が保有する知財と人材をより効果的に活用し、かつ育成するため、次の諸施策を検討・推進すべき。

■大学のシーズ（特にボトムアップ技術）と産側ニーズのすり合わせを効果的に行う場の設置と、活発な情報交換の仕組み創り。

■産学独連携ネットワークの構築による、データベースの蓄積と共有化。

■産学独協力による、学生・ポストドクを対象とした先端半導体技術・ナノエレクトロニクス技術

教育の具体的仕組み構築。

- 優秀な研究者の半導体業界への雇用促進のための諸施策。

7. 国への提言（案）

- 産・学・独が戦略的かつ機動的に連携した先端CMOSとナノエレクトロニクスの研究開発拠点・枠組みを構築する。
- 分野横断的なナノエレクトロニクス技術の研究開発を担う人材を育成するため、世界レベルの

“Center of Excellence” を産学独連携の下に構築する。

- 大学のカリキュラムと産業界の先端技術のギャップを埋め、かつ産・学・独の人材流動性を高めるため、大学の教官が企業において先端技術を共同研究する産学交流研修制度の導入を図る。
- 産学独連携によって生まれた研究成果を実用化するためのベンチャー企業設立に対する財政援助等の仕組みを強化する。

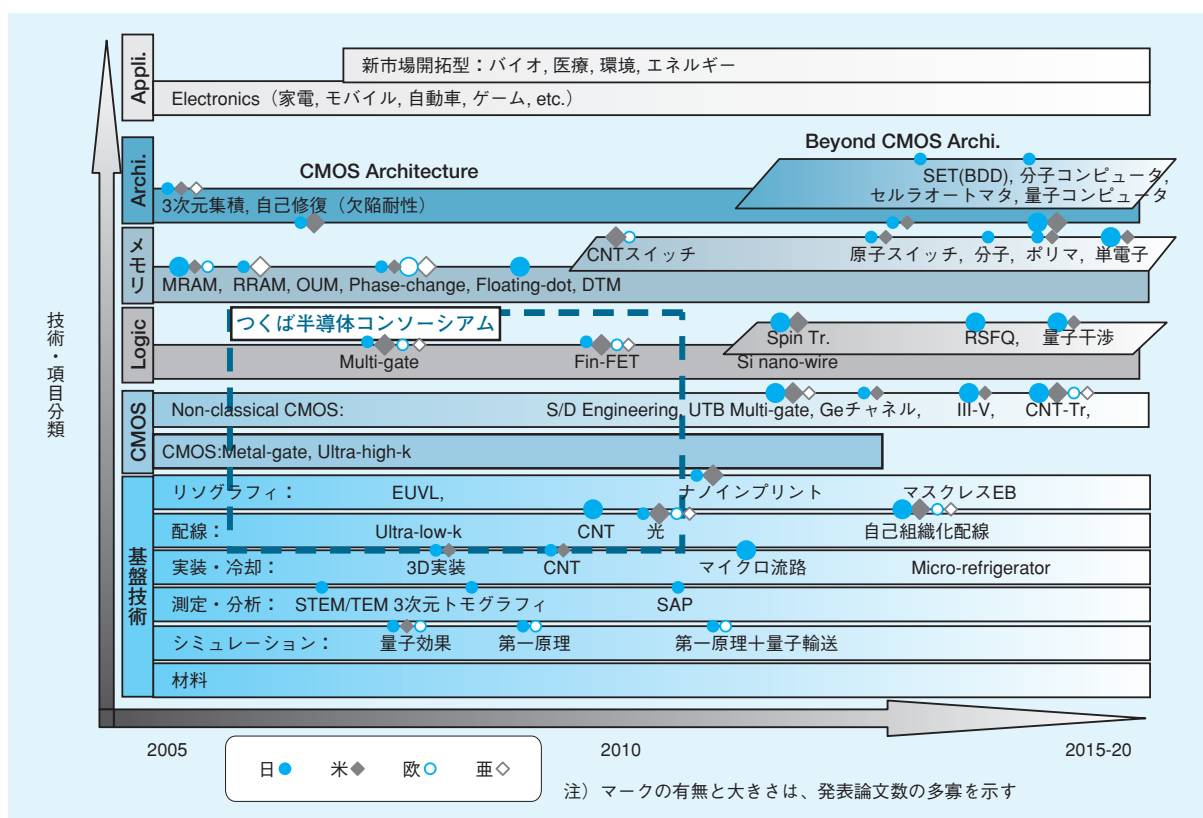


図1 ナノエレクトロニクス技術のロードマップ

2005年度 財務報告

2005年度 貸借対照表

(2006年3月31日現在)

半導体産業研究所

単位：円

資 産 の 部		負債及び正味財産の部	
科 目	金 額	科 目	金 額
流 動 資 産	115,696,318	流 動 負 債	0
現 金	139,413	未 払 金	0
預 金	113,667,152	預 り 金	0
未収消費税等	1,024,933	未払消費税等	0
立 替 金	864,820		
固 定 資 産	18,796,020	正 味 財 産	134,492,338
無形固定資産	599,872	前 期 繰 越	135,443,533
電話加入権	599,872	(当期正味財産増加額)	－951,195
投 資 等	18,196,148		
保 証 金	18,196,148		
合 計	134,492,338	合 計	134,492,338

2005年度 収支計算書

(2005年4月1日～2006年3月31日)

半導体産業研究所

単位：円

科 目	予算 (a)	実績 (b)	差異 (b - a)	備 考
1. 収入の部				
会費収入	250,000,000	250,000,000	0	
その他	0	178,209	178,209	
当期収入合計 (A)	250,000,000	250,178,209	178,209	
前期繰越収支差額	135,443,533	135,443,533	0	
収入合計 (B)	385,443,533	385,621,742	178,209	
2. 支出の部				
(1) 人件費				
計	95,500,000	82,064,575	△ 13,435,425	
(2) 事業費				
調査研究費	100,000,000	102,957,330	2,957,330	
その他	43,150,000	37,964,145	7,161,973	
計	143,150,000	140,921,475	△ 2,228,525	
(3) その他経費				
計	27,900,000	28,143,354	243,354	
当期支出合計 (C)	266,550,000	251,129,404	△ 15,420,596	
当期収支差額 (A) - (C)	△ 16,550,000	△ 951,195	15,598,805	
次期繰越額 (B) - (C)	118,893,533	134,492,338	15,598,805	

2006年度 構成会社一覧

富 士 通 株 式 会 社

松 下 電 器 産 業 株 式 会 社

N E C エ レ ク ト ロ ニ ク ス 株 式 会 社

沖 電 気 工 業 株 式 会 社

株 式 会 社 ル ネ サ ス テ ク ノ ロ ジ

ロ ー ム 株 式 会 社

三 洋 電 機 株 式 会 社

セ イ コ ー エ プ ソ ン 株 式 会 社

シ ャ ー プ 株 式 会 社

ソ ニ ー 株 式 会 社

株 式 会 社 東 芝

以上11社

(アルファベット順)

半導体産業研究所名簿

2006年5月31日現在（順不同、氏名敬称略）

理 事 会

理事長
室町 正志
株式会社東芝 執行役上席常務
セミコンダクター社 社長

理事・所長
前口 賢二
半導体産業研究所 所長

理 事
小野 敏彦
富士通株式会社 取締役専務

川上 博平
松下電器産業株式会社
半導体社 システムLSI事業本部 本部長

中島 俊雄
NECエレクトロニクス株式会社
代表取締役社長

北林 宥憲
沖電気工業株式会社 常務執行役員
半導体事業グループ チェアマン

伊藤 達
株式会社ルネサステクノロジ
代表取締役会長&CEO

正田 純一
ローム株式会社 常務取締役

田端 輝夫
三洋電機株式会社 常務執行役員
部品デバイスグループ 半導体カンパニー 社長

大月 康正
セイコーエプソン株式会社 常務取締役
(電子デバイス担当)

貫井 孝
シャープ株式会社 取締役 電子デバイス事業統轄

眞鍋 研司
ソニー株式会社 コーポレートエグゼクティブ EVP
半導体事業GP 本部長

金子 和夫
社団法人電子情報技術産業協会 専務理事

監 事
小笠原 一晃
社団法人電子情報技術産業協会 常務理事

企 画 委 員 会

杉原 誉則
富士通株式会社
電子デバイス事業推進本部 戦略企画室
主席部長

岡田 隆秀
松下電器産業株式会社 半導体社
企画グループ グループマネージャー

小川 義人
NECエレクトロニクス株式会社
経営企画部 渉外部長

鉄田 博
沖電気工業株式会社
半導体事業グループ 戦略企画室 室長

松本 哲郎
株式会社ルネサステクノロジ
経営企画本部 担当部長

高野 利紀
ローム株式会社
LSIデザインクオリティ開発部 部長

伊藤 勝也
三洋電機株式会社
部品デバイスグループ 半導体カンパニー
経営企画室 経営戦略ユニット 担当部長

鳴海 圭志
セイコーエプソン株式会社
経営戦略室 企画渉外部 部長

室井 勉
シャープ株式会社
電子デバイス開発本部 技術企画室 参事

島田 孝
ソニー株式会社
半導体事業グループ 事業戦略部 技術渉外担当部長
SSNC Principal Engineer

岡村 格太郎
株式会社東芝
セミコンダクター社 提携・戦略担当 参事

技 術 委 員 会

渡部 潔
富士通株式会社
電子デバイス事業本部 デバイス開発統括部
統括部長

藤田 勉
松下電器産業株式会社 半導体社
技術渉外グループ グループマネージャー

福間 雅夫
NECエレクトロニクス株式会社
執行役員

北 明夫
沖電気工業株式会社
半導体事業グループ 研究本部
本部長

関 浩一
株式会社ルネサステクノロジ
経営企画本部 事業戦略統括部
副統括部長

山葉 隆久
ローム株式会社
LSI先端デバイス開発部
部長

古賀 和幸
三洋電機株式会社
半導体カンパニー 経営企画室技術戦略ユニット
部長

小池 良一
セイコーエプソン株式会社
半導体事業部 IC製品部 部長

宮田 宗一
シャープ株式会社
(本社) 経営企画室 (技術政策グループ)
参与

橋本 一彦
ソニー株式会社
半導体事業グループ
セミコンダクタテクノロジー開発本部 副本部長

開 俊一
株式会社東芝
セミコンダクター社 首席技監

所 員

前口 賢二
所長

上田 潤
企画部長

石川 保
総務部長

福田 猛
主任研究員

穴見 健治
主任研究員

横山 和正
主任研究員

平沼 美保
事務員

—2006年6月1日以降の半導体産業研究所人事、会員などの変更—

(2006年8月21日現在)

【理事変更】

2006年7月 藤井 滋 富士通株式会社 経営執行役常務
(小野 敏彦 理事からの交代)

【社名変更】

2006年7月 三洋電機株式会社 から 三洋半導体株式会社へ変更

【委員交代】

2006年7月 阿部 宏 企画委員 (シャープ株式会社)
(室井 勉 企画委員からの交代)

【所員異動】

2006年7月 森野 明彦 非常勤顧問に就任
福田 猛 帰任
2006年8月 水戸野克治 新任

半導体産業研究所 年次報告書

編集・発行：半導体産業研究所

〒100-0011 東京都千代田区内幸町2-2-2 富国生命ビル23階

TEL. 03-3593-7243 (代表) FAX. 03-3593-7250

発行日：2006年8月21日発行

無断転載禁止

SIRIJ

SIRIJ

SIRIJ

SIRIJ

SIRIJ

