

日立評論創刊一千号記念寄稿

# Message from our Fellows

日立製作所 フェロー・工学博士

伊藤 清男

Kiyoo Itoh

## 創造の悦び

— DRAM 開発最前線を駆け抜けて —



## はじめに

DRAM(Dynamic Random Access Memory)が世に出て35年、1970年に1キロビットとして市場に登場したDRAMも、その後、記憶容量は6桁以上も向上し、今や開発の最先端では4ギガビット(図1)、製品レベルでは1ギガビットの時代を迎えるに至りました。この間、DRAMは数多くの応用展開で情報社会には不可欠な基幹部品となり、その市場も累積生産額(全世界)は30兆円を超える<sup>1)</sup>までに成長しました。筆者が磁性体メモリからDRAMの開発に転じた1970年頃はもちろん、それ以降でさえこのような驚異的な発展は世界の誰が予想できたことでしょうか。筆者がプロトタイプまで設計し技術開発を直接先導した4キロビットから64メガビットまでの8世代を振り返ってみても、各世代・各世代が常に極限追求型の挑戦でした。ですから、過去のこんな困難を極めた開発を、図1のように、今では滑らかな線できれいにグラフ化できるのも不思議な思いです。問題は解決されるためにあり、解決されるともはや問題ではなくなるからでしょうか。それにしても、半導体自体が持つ潜在能力はもとより、関係者の努力の積み重ねによる技術革新のすごさにはただ驚嘆するばかりです。

本稿では、まず過去の技術動向を概観します。次に筆者らの代表的な実用化研究を取り上げ、その経緯と筆者が得た教訓を述べ、最後に技術の将来を展望します。

## 技術動向<sup>2),3)</sup>

MOS(Metal-Oxide Semiconductor)トランジスタ(MOST)を使ったLSI時代の幕開けは、インテル社から1キロビットDRAMの製品発表があった1970年頃のこと。当時、磁性体メモリが半導体メモリに置き換わるという期待から、DRAMの製品開発競争には一攫千金を狙う異様な熱気がありました。しかし、その期待は1970年代後半まで裏切られ続けました。黎明期の常、製品仕様と技術が各社各様でめまぐるしく変わったためです。例えば、1キロビット時代、メモリセルを例にとっても、速度が遅くてもリーク電流の少ないp-MOST3個で構成したのがインテル、高速が特長のn-MOST4個で構成したのが某メーカー、しかし評価してみると、当時のn-MOSTではやはりメモリセルごとにリーク電流のばらつきが大きく、実用にはなりません。また、サンプルは約束通りには出てこない、やっと手にして評価してみても動作マージンの狭いサンプルでした。もちろん量産も保証されませんでした。4キロビットになると世の中はn-MOSTに切り替わるのですが、ここでも1キロビット同様、使い易さなどお構いなしの技術先行の開発でした。1974年頃、某メーカーが、1個のMOSTと1個のキャパシタから成るメモリセル(1-Tセル)に変えると、他のメーカーは戦々恐々でそれに飛びつくありさま、でもそのサンプルはやはり期待はずれでした。それまでの苦い経験を活かしたまともなサンプルが出始めたのは、1976~1977年頃、16キロビット時代になったこと。パッケージのピン数が、それまでの22ピンから16ピンになるなど製品仕様も標準化され、また、技術もかなり淘汰されたためです。2層ポリシリコンを使った1-Tセル、低消費電力のダイナミック型の回路やセンスアンプ、あるいは現在でも使われているアドレスピン数を半減するアドレスマルチプレックスなどが標準技術となりました。しかし1978年4月、インテル社から発表されたソフトエラー(放射線でメモリセルの記憶情報が破壊される現象)

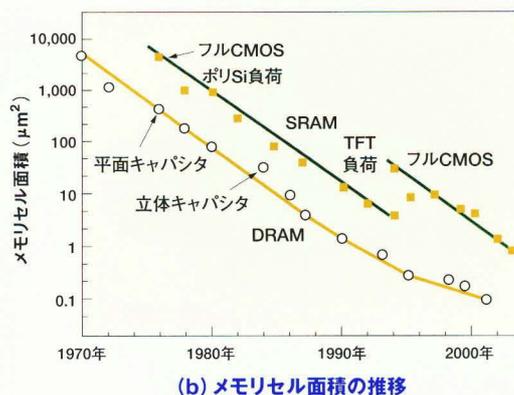
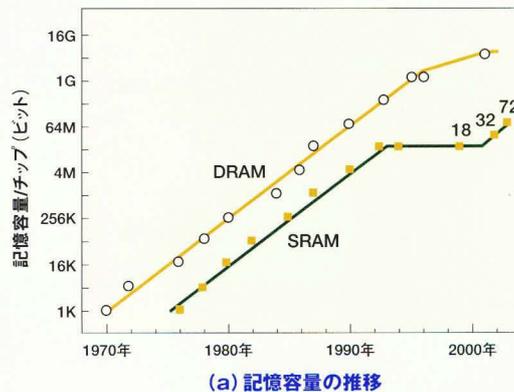
## 伊藤 清男

1941年宮城県生まれ。1963年東北大学工学部電子工学科卒業、同年日立製作所入社、中央研究所配属、1983年中央研究所主管研究員、1991年中央研究所主管研究員、1994年カリフォルニア大学バークレー校Visiting MacKay Lecturer(客員教授)、1995年カナダ・ウォータールー大学客員教授、1997年中央研究所技師長、1999年6月日立製作所フェロー、2000年スタンフォード大学Consulting Professor(客員教授)に就任。工学博士。

入社以来、レーザの研究、磁気メモリデバイスの開発、磁性メモリデバイス・システムの開発、4キロビットから64キロビットまで8世代にわたる半導体メモリ(DRAM)の先行開発、さらに、CMOSの低電圧化に伴うサブスレッショルド電流低減回路の先行研究に従事、現在に至る。

IEEE Rappaport Award, IEEE European Solid-State Circuits Conference Best Paper Award, IEEE Solid-State Circuits Award, IEEE Fellow, 社団法人発明協会全国発明表彰・弁理士会会長賞、同協会関東地方発明表彰・東京支部長賞ならびに山梨県支部長賞、関東地方発明表彰・奨励賞、電子情報通信学会論文賞、電子情報通信学会業績賞、東京都知事賞・発明研究功労賞、科学技術庁長官賞・科学技術功労者、紫綬褒章など受賞多数。

図1 DRAMとSRAMの開発動向  
ISSCC(International Solid-State Circuits Conference)とVLSIシンポジウムでの最初の発表



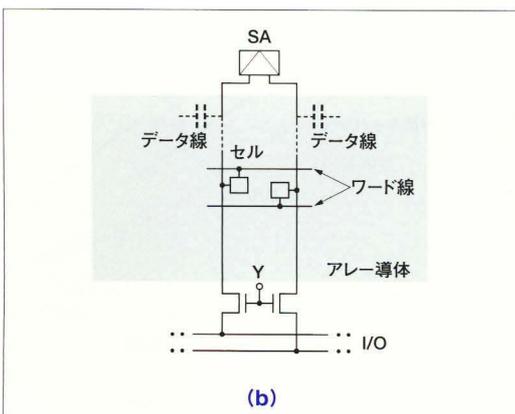
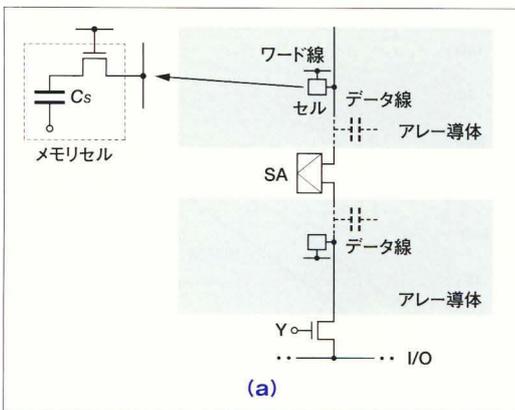
注:略語説明 DRAM (Dynamic Random Access Memory)  
SRAM (Static Random Access Memory)  
CMOS (Complementary Metal-Oxide Semiconductor)  
TFT (Thin Film Transistor)

の問題は、その後は有機材での被覆や材料の高純度化などで解決されるのですが、当時はきわめて深刻でした。また、外部電源も3電源(12V、5V、-3V)でユーザーには依然として使いにくいものでした。

64キロビット時代になってから市場は飛躍的に拡大しました。1980年頃のこと、製品仕様と技術に大きな変革があり、それまでの3電源からユーザーにとって使いやすい5V単一電源になり、またその後の大容量化を支える折り返しデータ線構造セル(後述)が採用されたためです。続く256キロビット時代にはワード昇圧方式と欠陥救済技術が採用されました。1985年頃、DRAMの過当競争による値崩れ、日米半導体摩擦による訴訟や政治問題が多発したのもこの256キロビット時代でした。しかし、そのような困難をよそに技術開発は進展しました。1980年代後半、ついにDRAMにもCMOS(相補形金属酸化膜半導体)時代が到来し、 $V_{DD}/2$ データ線プリチャージ方式と組み合わせた低電力CMOS 1メガビットが市場に現れ、続く1990年代初頭、今度は4メガビットでメモリセルの大変革があり、ここで立体キャパシタが登場しました。16メガビットにもその後の標準技術となる、例えば内蔵降圧回路(後述)、データ線の多分割部分駆動、p-MOSTワード・ドライバと高速ページモードが採用されました。また、64メガビット以降になって、各種の高速データ入出力機能が現れました。このような大容量化以外にも、使いやすさ、高速性、あるいは低電流特性に特化した携帯機器用のDRAMも市場に現れるようになり、リーク電流低減回路(後述)などが実用化され始めました。その他、微細化プロセス、実装技術、あるいはテスト技術も著しく進展しました。

## 代表的な発明とその実用化研究<sup>2)~4)</sup>

図2 1交点セル(a)と2交点セル(b)の構成



注: 略語説明 SA (増幅器), Y (列選択線), I/O (共通データ入出力線), Cs (蓄積容量)

製品開発が最先端であれば課題も最先端、後はその課題解決のために深く深く集中して考え、「小さな差」を生み、あるべき姿に向けてそれを改良し続ければ「大きな差」となり優れた発明となるもの。しかし、特許化しても座視しては価値を生まない。価値は実用化し、認知させてこそ生まれるもの、それには発明者の「狂気」の熱意が不可欠なのです。いかなる出願特許も不完全、再考し試作してみて欠点の見つかるもの、そんな特許を他人はかまってはくれないもの。ましてやリスクを冒してまで製品に使ってくれようはずもなく、その欠点だけを列挙されるのが落ちなのです。抵触事実の確認にしても同じこと。

以下、筆者らが発明し製品技術に育て上げた代表的な技術3件を取り上げます。いずれも戦いの中から勝ち取ったものです。折り返しデータ線構造セル(愛称:2交点セル)は後追いの時代に、降圧回路は他に頭一つ抜き出した時代に、またリーク電流低減回路は他を圧倒していた時代に発明・開発したもので、それぞれが古くから武道やお稽古事で言われてきた成長の3段階「修・破・離」に対応します。

### 1 2交点セル—「修」の時代の開発例<sup>2)~4)</sup>

従来の開放データ線構造セル(愛称:1交点セル, 図2)は、データ対線を増幅器に対し開放型に配置して、両者に結合した雑音を増幅器で相殺するものです。しかし、データ対線のそれぞれは互いに離れているので対線の電気特性が等しくはなく、また、異なる導体は対線に対して異なる雑音源となるので導体からそれぞれに結合する雑音も異なります。したがって、雑音は完全には相殺除去できません。2交点セル(図2)は、データ対線が同じ導

体上に近接・平行配置されるので、雑音は相殺されます。さらに、 $V_{DD}/2$ データ線プリチャージ方式と組み合わせると、低雑音を維持したままで消費電力を低くできます。なお、愛称は、1本のワード線とデータ対線との交点数に対応して名付けられています。

この発明研究は、後発者でも先行着眼で先発者になれる好例です。DRAMの設計を始めたばかりの1974年、海外との圧倒的な技術格差の中で、半導体に素人の筆者がこんな基本発明を生み出したのはなぜでしょうか。それは、DRAMの開発責任者としての危機感と責任感以外に、過去の体験が幸いしたのです。筆者にはすでに磁性体メモリの製品化体験があったが、他者にはそれがなかった。ですから、信号対雑音比の向上というメモリとしての共通課題に先行着眼し、それを解決する2交点セルを磁性体メモリのアナロジーで着想できたのです。実験データは皆無、ほとんど仮想で特許執筆したのに、仮想した課題とその解決策は具体的で的確でした。過去の体験が仮想による弱点を補ったからです。不況下でも米国には出願、着想から出願まで2か月のすばやい処理で他社の類似特許に6か月先行、出願4年後に11件に分割、さらには発明者自身が64キロビット製品開発の技術責任者となり、四面楚歌の中で採用を押し通した使用実績のない2交点セル、その64キロビットが世界市場を制覇、その後2交点セルは唯一無二のメモリセル構造として世の中に定着、こんな幸運の連続はまさに奇跡とも言えるものでした。

## 2 エージング機能付き降圧回路—「破」の時代の開発例<sup>2)~4)</sup>

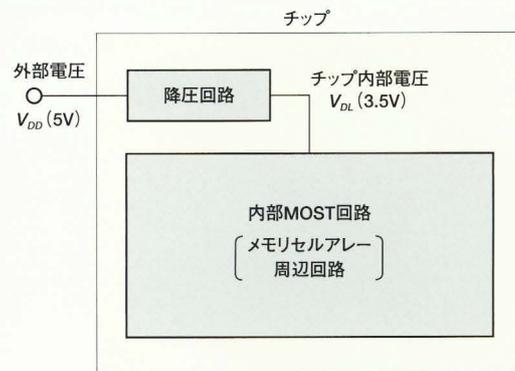
急速に進むMOSTの微細化・低耐圧化のもとでは、微細化するたびにその動作電圧(つまり電源電圧)を下げざるをえない。でも、ユーザーにとって電源電圧はできるだけ長期間一定であるほうが使いやすい。このような素子微細化の進捗とユーザーの要求のギャップは、外部電源電圧( $V_{DD}$ )を内部回路素子の耐圧に応じた電圧( $V_{DL}$ )にいったん降圧して、その降圧電圧で内部回路を動作させれば埋められます(図3)。さらには、 $V_{DD}$ を通常の動作時よりも高くして行うエージング試験時に、 $V_{DL}$ を高くする機能を付加すれば、内部回路素子に故意に高い電圧を与えて初期不良を排除できるようになるので、信頼性の高いDRAMを得ることができます。筆者らは、この実用化研究を1984年頃n-MOST 1メガビットで始め、11年もの歳月をかけて改良、1990年代初頭CMOS 16メガビットでついに実用化に成功しました。関連海外講演と特許が、それぞれ33件、32件にも及ぶのはその結果です。今やDRAMやマイコンの業界標準技術となり、また、訴訟でも活躍しています。

この発明研究は、研究と特許の両面であるべき姿を示す好例です。最先端製品の開発最前線にいなければ上記のギャップは見抜けなかった、それまで一貫した製品化体験がなければ普段は気づかないエージング試験までは思い至らなかった。また、課題の必然性と発明の基本性を確信していなければ11年もの試作実験と試行錯誤を重ねることはありえなかった。さらには特許の価値を周囲に認知せしめる最初の人物は、その価値を知る発明者以外には存在しないと認識していなければ、発明者自身が抵触事実を確認することはありえなかったのです。

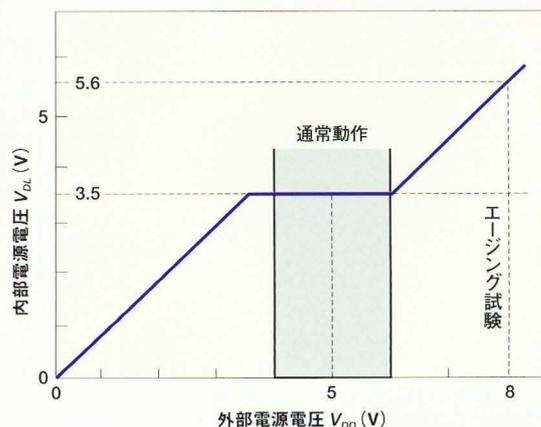
## 3 リーク電流低減回路—「離」の時代の開発例<sup>2)~5)</sup>

MOSTの微細化・低耐圧化のもとと高速化のためにそのしきい電圧( $V_T$ )を下げていくと、サブスレッショルド電流(ゲート電圧が $V_T$ 以下でもソース・ドレイン間に流れるリーク電流)は指数関数的に増えます。その結果、直流電流

図3 エージング機能付き降圧回路

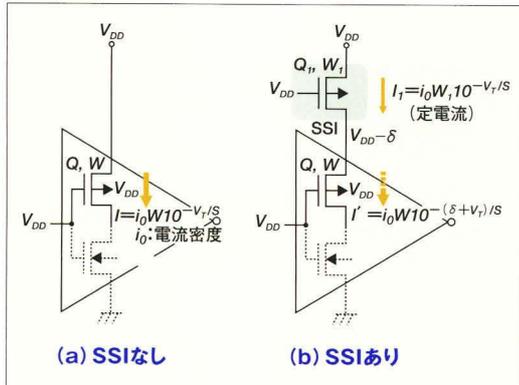


(a) 内部降圧回路方式



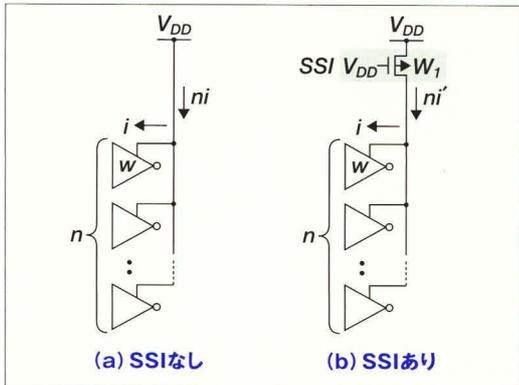
(b) 内部電圧特性

図4 SSIの概念



注：略語説明 SSI (Switched-Source Impedance)

図5 繰り返し回路ブロックへのSSIの応用



が流れないとされてきたCMOS回路に、すなわち、たくさんのCMOS回路を集積したLSIに過大なリーク電流が流れるようになり、待機時はもとより、動作時でさえこの電流が支配的になります。まさにCMOS LSI存亡の危機となる課題です。

最も効果的な低減方法はSSI (Switched-Source Impedance) 法で、たとえば図4のインバータでは、p-MOST ( $Q$ ) のソース側に動作時にはオンとなるSSI MOST ( $Q_1$ ) を付加します。待機時に  $Q_1$  がオフになると  $Q$  のソース電圧は自動的に  $\delta$  だけ下がり、 $Q$  に流れていたリーク電流  $I$  は  $Q_1$  の定電流源  $I_1$  に等しくなるように制限されます。したがって、 $I' = I_1$  から  $\delta = (S/\ln 10) \ln (W/W_1)$ 、低減率  $I'/I = I_1/I = 10^{-\delta/S} = W_1/W$ 、ただし  $S \cong 100\text{mV/decade}$  となります。よって、リーク電流を1けた減らすのに要する  $\delta$  は100mV程度と小さく、したがって低減効率がよく、復帰時間も速いのが特長です。SSIは、メモリチップのリーク電流を減らすのに好適です。メモリチップは、そのリーク電流を支配する多くの繰り返し回路ブロックから成り、しかも動作時には各ブロック内の1個の回路だけが選択されるからです。例えば、図5(a)のような  $n$  個のインバータブロックでは、各p-MOST (チャンネル幅  $w$ ) に流れる待機時のリーク電流を  $i$  とすると、ブロック全体には  $ni$  が流れます。(b) のようにチャンネル幅  $w_1$  のSSIを付加すると、ブロックは  $W = nw$  のチャンネル幅を持つ1個のp-MOST (図4の  $Q$  に対応) と見なせるので、低減率は  $I'/I = W_1/nw$  となります。ここで1個のインバータだけが選択されるので、速度をそれほど犠牲にすることなく  $W_1 \cong w$  にできます。したがって、 $n$  が大きくなるほどSSIによる低減効果は大きくなります。ここでは省略しますが、ブロックを多分割にして、各サブブロックにSSIを適用すれば、動作時のリーク電流も低減できます。

野心的で具体的な挑戦こそ大型の課題を顕在化・具体化させ、優れた発明を生み出させてくれるもの。世の中が5V 16メガビットの時代、夢の1.5V (電池1個) 動作で初の64メガビットの開発を始めたのが1988年、上記の課題に気づいたのは設計・試作まで踏み込んだからです。筆者らは、それ以来1993年までの間、今では世の中でよく知られている回路コンセプトのほとんどを特許出願しました。動作時のリーク電流に至っては、論理LSI設計者に8年も先行しました。

## 将来展望

高集積・大容量化に伴い、微細加工・デバイス・回路などの開発はいつそう困難になってきました。特に、低電圧化・微細化によって低下する  $V_T$  と増大する  $V_T$  ばらつき、それらによって増大するリーク電流と特性 (リーク電流と速度) ばらつきの増大、これはすべてのCMOS LSIに共通な問題です。ここでは、メモリに固有なメモリセルの信号電荷、リーク電流、それに特性ばらつきの3点を取り上げ、これらを回路設計の立場から展望します。

メモリセルを安定に動作させるには、信号電荷を確保せねばなりません。低コスト優先の汎用DRAMでは、従来通り立体・高誘電率キャパシタの改良でそれが実現されていくでしょうが、プロセスへの負担を減らすために比較的高い動作電圧が使われるでしょう。しかし、低電圧で速度優先の論理LSI用DRAM (e-DRAM: Embedded DRAM) では、1V以下の低電圧でも信号電荷が確保できる立体キャパシタセルか、低電圧でも動作の安定なゲインセル (3MOSTセルなど) が使われる可能性があります。このようなe-